

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-167592

(43)Date of publication of application : 22.06.2001

(51)Int.Cl.

G11C 16/06
G11C 16/02
H01L 21/8247
H01L 27/115
H01L 29/788
H01L 29/792

(21)Application number : 2000-295268

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 27.09.2000

(72)Inventor : NOGUCHI MITSUHIRO

(30)Priority

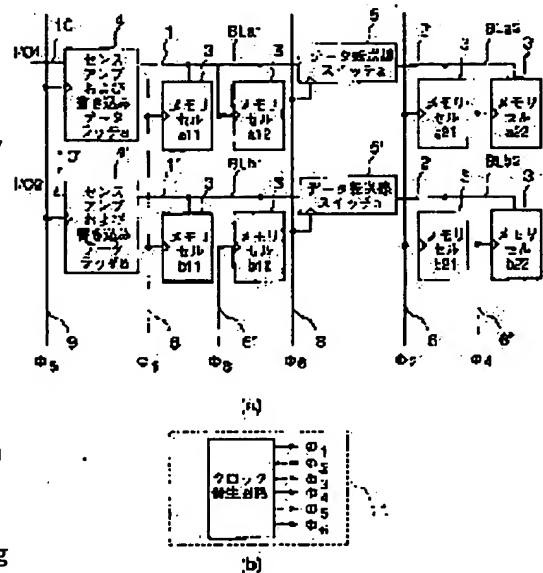
Priority number : 11272332 Priority date : 27.09.1999 Priority country : JP

(54) NON-VOLATILE SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To improve data write-in speed and to prevent deterioration of a data holding characteristic.

SOLUTION: A non-volatile semiconductor memory has first memory cell units 3 (a11, a12) provided respectively at intersections of a first data transfer line 1 and plural data selecting lines, second memory cell units 3 (a21, a22) provided respectively at intersection of a second data transfer line 2 plural data selecting lines 6, and a write-in data latch 4 connected to one end of the data transfer line 1. Further, the device is provided with a data transfer line switch 5 inserted between the other end of the data transfer line 1 and one end of the data transfer line 2, at the time of write-in of data, the switch 5 is made a cut off state, one line of first data selecting lines 6 for selecting the memory cell units a11, a12 and one line of the second data selecting lines 6 for selecting the memory cell units a21, a22 are simultaneously selected.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-167592

(P2001-167592A)

(43) 公開日 平成13年6月22日 (2001.6.22)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
G 1 1 C 16/06		G 1 1 C 17/00	6 3 3 A
16/02			6 1 1 Z
H 0 1 L 21/8247			6 3 4 Z
27/115		H 0 1 L 27/10	4 3 4
29/788		29/78	3 7 1

審査請求 未請求 請求項の数14 O L (全 26 頁) 最終頁に続く

(21) 出願番号 特願2000-295268 (P2000-295268)

(22) 出願日 平成12年9月27日 (2000.9.27)

(31) 優先権主張番号 特願平11-272332

(32) 優先日 平成11年9月27日 (1999.9.27)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 野口 充宏

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74) 代理人 100081732

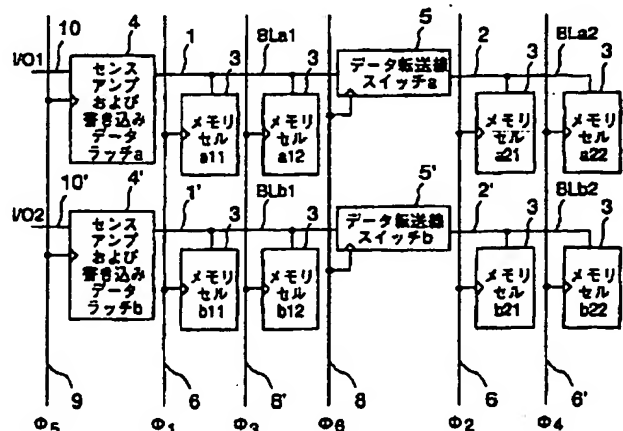
弁理士 大胡 典夫 (外2名)

(54) 【発明の名称】 不揮発性半導体記憶装置

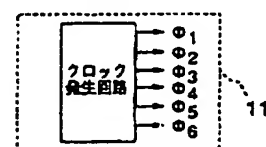
(57) 【要約】

【課題】 データ書き込み速度を向上させると共に、データ保持特性の悪化を防止する。

【解決手段】 不揮発性半導体記憶装置において、第1のデータ転送線1と複数のデータ選択線6の交点にそれぞれ設けた第1のメモリセルユニット3 (a 1 1, a 1 2) を有する。第2のデータ転送線2と複数のデータ選択線6の交点にそれぞれ設けた第2のメモリセルユニット3 (a 2 1, a 2 2) を有する。データ転送線1の一端に接続された書き込みデータラッチ4を有する。データ転送線1の他端とデータ転送線2の一端との間に挿入されたデータ転送線スイッチ5とを備えデータ書き込み時においてスイッチ5を遮断状態しメモリセルユニット a 1 1, a 1 2 を選択するための第1のデータ選択線6の1つとメモリセルユニット a 2 1, a 2 2 を選択するための第2のデータ選択線6の1つとを同時に選択する。



(a)



(b)

1

【特許請求の範囲】

【請求項1】第1のデータ転送線と、

前記第1のデータ転送線に接続されたデータの再書き込み可能な不揮発性半導体メモリからなる複数の第1のメモリセルユニットと、

前記第1のメモリセルユニットにそれぞれ接続された第1のデータ選択線と、

第2のデータ転送線と、

前記第2のデータ転送線に接続されたデータの再書き込み可能な不揮発性半導体メモリからなる複数の第2のメモリセルユニットと、

前記第2のメモリセルユニットにそれぞれ接続された第2のデータ選択線と、

前記第1のデータ転送線に接続されたデータ保持手段と、

前記第1のデータ転送線及び前記第2のデータ転送線の間に挿入されたスイッチング素子とを具備し、

プログラムに際し、前記複数の第1のメモリセルユニットに接続された第1のデータ選択線の1つと前記複数の第2のメモリセルユニットに接続された第2のデータ選択線の1つとが前記スイッチング素子の遮断状態時に同時に選択されることを特徴とする不揮発性半導体記憶装置。

【請求項2】前記データ転送線及び前記データ選択線は互いに直交するように配置され、前記データ転送線に接続された前記メモリセルユニット及び前記スイッチング素子からなる1列のメモリブロックが、前記データ選択線の方向に複数並列に配置されてメモリマトリックスを構成し、

前記データ選択線と平行に配置され、前記スイッチング素子に対する制御入力を行う制御線をさらに具備することを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項3】前記データ保持手段は、半導体素子によって形成されたフリップフロップからなることを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項4】前記データ保持手段は、書き込みデータを一時保持する回路を複数有することを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項5】前記メモリセルユニットは、少なくとも1つの電荷蓄積層と制御ゲートとを有する電界効果トランジスタを含むことを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項6】前記電界効果トランジスタは、書き込み動作にFNTトンネル電流を用いることを特徴とする請求項5記載の不揮発性半導体記憶装置。

【請求項7】前記電荷蓄積層はポリシリコン又はシリコン窒化膜からなることを特徴とする請求項5記載の不揮発性半導体記憶装置。

【請求項8】データ転送線と、

2

前記データ転送線に接続されたデータの再書き込み可能な不揮発性メモリからなる第1及び第2のメモリセルユニットと、

前記第1のメモリセルユニットに接続された第1のデータ選択線と、

前記第2のメモリセルユニットに接続された第2のデータ選択線と、

前記データ転送線に接続されたデータ保持手段と、

前記第1のメモリセルユニットに対応して前記第1のメモリセルユニット及び前記データ転送線との間に挿入された前記第1のスイッチング素子と、

前記第2のメモリセルユニットに対応して前記第2のメモリセルユニット及び前記データ転送線との間に挿入された前記第1のスイッチング素子とを具備し、

プログラムに際し、前記第1のメモリセルユニットに接続された第1のデータ選択線と前記第2のメモリセルユニットに接続された第2のデータ選択線とが前記第1及び第2のスイッチング素子の何れか一方が遮断状態時に同時に選択されることを特徴とする不揮発性半導体記憶装置。

【請求項9】前記データ転送線及び前記データ選択線は互いに直交するように配置され、前記データ転送線に接続された前記メモリセルユニットからなる1列のメモリブロックが、前記データ選択線の方向に複数並列に配置されてメモリマトリックスを構成し、

前記データ選択線と平行に配置され、前記スイッチング素子に対する制御入力を行う制御線をさらに具備することを特徴とする請求項8記載の不揮発性半導体記憶装置。

【請求項10】前記第1のスイッチング素子及び前記第1のメモリセルユニットを構成する不揮発性メモリは同一のウェル上に形成され、前記第2のスイッチング素子及び前記第2のメモリセルユニットを構成する不揮発性メモリは同一のウェル上に形成されていることを特徴とする請求項9記載の不揮発性半導体記憶装置。

【請求項11】前記データ保持手段は、センスアンプからなることを特徴とする請求項8記載の不揮発性半導体記憶装置。

【請求項12】前記データ保持手段は、半導体素子によって形成されたフリップフロップからなることを特徴とする請求項8記載の不揮発性半導体記憶装置。

【請求項13】前記第1及び第2のメモリセルユニットは、少なくとも1つの電荷蓄積層と制御ゲートとを有する電界効果トランジスタを含むことを特徴とする請求項8記載の不揮発性半導体記憶装置。

【請求項14】前記電界効果トランジスタは、書き込み動作にFNTトンネル電流を用いることを特徴とする請求項13記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

3

【発明の属する技術分野】本発明は、不揮発性半導体記憶装置に係わり、特にプログラム回数が増えてもデータ保持特性を維持できる不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】浮遊ゲートと制御ゲートを有する二層ゲート構造のMOSトランジスタをメモリセルとして用い、電氣的書き替えを可能にした不揮発性半導体メモリが提案されている。この半導体メモリは、トンネル電流によって、浮遊ゲートにチャネルから絶縁膜を介して電荷を注入して書き込む。また、注入した電荷をデジタルビットの情報格納として用い、その電荷量に応じたMOSFETのコンダクタンス変化を測定し、情報を読み出すようにしている。

【0003】しかし、この不揮発性半導体メモリの構成及び書き込み方法では、データを高速に書き込むため電流密度を増してメモリセルに電荷注入を繰り返すと、前記絶縁膜が劣化してリーク電流が大きくなり、データ保持特性が悪化する問題がある。この問題を、図12及び図13を参照して以下に説明する。

【0004】図12は、従来の不揮発性半導体メモリのメモリマトリックス及びその周辺の主要部の回路ブロックを示している。

【0005】図12(a)において、符号1、1'はデータ転送線、符号6、6'はデータ選択線を示しており、互いに直交する方向に配置している。符号3はメモリセルユニットを示し、データ転送線1、1'とデータ選択線6、6'の交差部にそれぞれ設けている。

【0006】図12(a)では、1つのデータ転送線1又は1'に4つのメモリセルユニット3が接続され、1つのデータ選択線6又は6'には2つのメモリセルユニット3が接続されており、2×4のマトリックスとなっている。さらに、データ転送線1、1'の一端には、書き込みデータを一時保持するラッチ4、4'をそれぞれ接続している。

【0007】ラッチ4、4'は、メモリセルユニット3のデータを読み出すためのセンスアンプ回路を通常兼ねている。また、ラッチ4、4'には、書き込み及び読み出しデータを外部回路と接続するデータ線10、10'とそれぞれ接続している。さらに、ラッチ4、4'は、データをラッチするためのタイミングを設定する信号線9に共に接続されている。このとき一つのデータ転送線、例えばデータ転送線1に接続されたメモリセルユニットa11、a12、a21、a22をメモリブロックと呼ぶことにする。

【0008】そして、図12(b)に示すように、これらの信号線9及びデータ選択線6、6'に適宜タイミング調整を行い信号出力するクロック発生回路11を設けている。なお、以下では、通例に従って、データ選択線6、6'に沿った方向を行と呼び、データ転送線1、1'

4

に沿った方向を列と呼ぶことにする。

【0009】図12の従回路において、メモリセルユニットa11とb11にデータを書き込む場合、これらに接続されたデータ転送線1、1'に書き込みデータに応じて電位を与える必要がある。このためにデータラッチ4、4'の出力電圧を書き込みデータに応じた電圧値となるように調整する。同時に、書き込みを行うデータ転送線の電位よりも十分大きな電位差を有するプログラム電圧V_{pgm}を、データ選択線6に印加する。このときメモリセルユニット3内にある記憶素子の前記絶縁膜(MOSFETのゲート絶縁膜)に電流が流れるのに十分な高電圧が印加されるように、プログラム電圧V_{pgm}を印加する。このときのプログラム電圧V_{pgm}は、キャリア注入に十分な時間であるがパルス状にする。

【0010】この場合、メモリセルユニットa11と同じデータ転送線1に接続された非選択のメモリセルユニット、例えばメモリセルユニットa21にはメモリセルユニットa11のデータが誤って書き込みされないようにする必要がある。このため、非選択メモリセルユニットa21に接続されたデータ選択線6の電位は、前記プログラム電圧V_{pgm}よりもデータ転送線1、1'の電位に近くする必要がある。従って任意のデータを複数の行のメモリセルユニットに書き込むことはできない。つまり、1つのプログラムパルス印加時に書き込める行は1行である。

【0011】図13に、この不揮発性半導体メモリについて、複数の行、例えば2つの行についてデータ書き込みを行うベリファイ動作を含めたフローチャートを示す。

【0012】第1行のメモリセルユニットa11、b11にデータを書き込む手順は、第1行の書き込みデータをラッチ4、4'にロードする工程(S1)、プログラムパルスを第1行のメモリセルユニットa11、b11が接続されたデータ選択線6に印加する工程(S2)、第1行のデータを読み出し、書き込んだメモリセルユニットのしきい値の判定結果をデータラッチ4、4'に収納する工程(S3)、第1行の全メモリセルユニットa11、b11が書き込み終了か判定結果を判別する工程(S4)、及びS4の判定結果が否の場合プログラムパルス電圧及びパルス幅を再設定する工程(S5)から構成される。なお、以下では、行のみ異なる同じシーケンスを、ダッシュを付けて表すことにする。

【0013】従って、複数(例えばn行)行のメモリセルユニットにデータを書き込む場合には、図13のS1'~S5'のように前記S1~S5の手順と同じ手順をn回時系列で行う必要がある。この場合の全書き込み時間は、S1、S2、S3、S4の動作に必要な時間をTS1、TS2、TS3、TS4として、最低でもn×(TS1+TS2+TS3+TS4)必要となる。よって、行がn倍増えると書き込み時間もn倍に増える。

5

【0014】ここで、全書き込み時間を短縮するために、最も時間がかかるプログラム時間TS2を短縮する方法がある。しかし不揮発性半導体メモリでは、書き込みに必要な電荷量を、プログラム時間を短くして書き込み電流を増やすと、プログラム時間を長くして書き込み電流を減らすよりも、トンネル絶縁膜の低電界リークがより増加する問題が生じる(K. Naruke, 1988 IEEE Technical Digest IEDM p. 424)。

【0015】また、不揮発性半導体メモリでは、ゲート絶縁膜にシリコン酸化膜を用いると、ストレスリーク電流がゲート絶縁膜に流れる問題がある。書き込み時に、FNトンネル電流を流すため10MV/cm以上の大きな電界ストレスをゲート絶縁膜が受ける。この電界ストレスを受けることにより、例えば5MV/cm以下の低電界でリーク電流が流れる。このリーク電流はFNトンネル電流で推定される値よりも大きく増大する。これがストレスリーク電流である。

【0016】このため、データの消去や書き込みを繰り返した不揮発性半導体メモリにおいては、電荷保持状態でも浮遊ゲートと基板間に電荷蓄積による電界が印加されているためにリーク電流が流れ、電荷が消失しやすくなる。不揮発性半導体メモリでは、少なくとも85℃までの温度範囲で、10年間の高温放置状態での情報保持が要求されているので、電源を与えない状態でも電荷消失を防ぐ必要があった。

【0017】

【発明が解決しようとする課題】以上述べたように、従来構造の不揮発性半導体メモリでは、複数の行にデータを書き込む場合に、データ書き込み時間が大きく増大する問題があった。また、データ書き込み速度を上昇させるために書き込み電流を増やすと、ストレスリーク電流が増大し、メモリのデータ保持特性が悪化する問題があった。

【0018】本発明は、上記課題を解決するためになされたもので、データ書き込み速度を向上させると共に、データ保持特性の悪化を防止することのできる不揮発性半導体記憶装置を提供することを目的とする。

【0019】

【課題を解決するための手段】(構成)上記目的を達成するために、第1の発明は、第1のデータ転送線と、前記第1のデータ転送線に接続されたデータの再書き込み可能な不揮発性半導体メモリからなる複数の第1のメモリセルユニットと、前記第1のメモリセルユニットにそれぞれ接続された第1のデータ選択線と、第2のデータ転送線と、前記第2のデータ転送線に接続されたデータの再書き込み可能な不揮発性半導体メモリからなる複数の第2のメモリセルユニットと、前記第2のメモリセルユニットにそれぞれ接続された第2のデータ選択線と、前記第1のデータ転送線に接続されたデータ保持手段と、前記第1のデータ転送線及び前記第2のデータ転送

6

線の間に挿入されたスイッチング素子とを具備し、プログラムに際し、前記複数の第1のメモリセルユニットに接続された第1のデータ選択線の1つと前記複数の第2のメモリセルユニットに接続された第2のデータ選択線の1つとが前記スイッチング素子の遮断状態時に同時に選択されることを特徴とする不揮発性半導体記憶装置を提供する。

【0020】このとき、前記データ転送線及び前記データ選択線は互いに直交するように配置され、前記データ転送線に接続された前記メモリセルユニット及び前記スイッチング素子からなる1列のメモリブロックが、前記データ選択線の方に複数並列に配置されてメモリマトリックスを構成し、前記データ選択線と平行に配置され、前記スイッチング素子に対する制御入力を行う制御線をさらに具備することが好ましい。

【0021】また、前記データ保持手段は、半導体素子によって形成されたフリップフロップからなることが好ましい。

【0022】また、前記データ保持手段は、書き込みデータを一時保持する回路を複数有することが好ましい。

【0023】また、前記メモリセルユニットは、少なくとも1つの電荷蓄積層と制御ゲートとを有する電界効果トランジスタを含むことが好ましい。

【0024】また、前記電界効果トランジスタは、書き込み動作にFNトンネル電流を用いることを特徴とすることが好ましい。

【0025】また、前記電荷蓄積層はポリシリコン又はシリコン窒化膜からなることが好ましい。

【0026】また、前記電荷蓄積層はポリシリコン又はシリコン窒化膜からなることが好ましい。

【0027】また、前記メモリセルユニットは、複数の不揮発性半導体メモリセルを直列接続したNANDセルユニットからなることが好ましい。

【0028】また、前記第2のデータ転送線に接続されたデータ保持手段をさらに具備し、前記第2のデータ転送線に接続されたデータ保持手段は前記第1のデータ転送線に接続されたデータ保持手段よりも構成トランジスタ数が少ないことが好ましい。

【0029】また、前記第1のデータ転送線に接続されたデータ保持手段は、センスアンプからなることが好ましい。

【0030】第2の発明は、データ転送線と、前記データ転送線に接続されたデータの再書き込み可能な不揮発性メモリからなる第1及び第2のメモリセルユニットと、前記第1のメモリセルユニットに接続された第1のデータ選択線と、前記第2のメモリセルユニットに接続された第2のデータ選択線と、前記データ転送線に接続されたデータ保持手段と、前記第1のメモリセルユニットに対応して前記第1のメモリセルユニット及び前記データ転送線との間に挿入された前記第1のスイッチング

7

素子と、前記第2のメモリセルユニットに対応して前記第2のメモリセルユニット及び前記データ転送線との間に挿入された前記第1のスイッチング素子とを具備し、プログラムに際し、前記第1のメモリセルユニットに接続された第1のデータ選択線と前記第2のメモリセルユニットに接続された第2のデータ選択線とが前記第1及び第2のスイッチング素子の何れか一方が遮断状態時に同時に選択されることを特徴とする不揮発性半導体記憶装置を提供する。

【0031】このとき、前記データ転送線及び前記データ選択線は互いに直交するように配置され、前記データ転送線に接続された前記メモリセルユニットからなる1列のメモリブロックが、前記データ選択線の方向に複数並列に配置されてメモリマトリックスを構成し、前記データ選択線と平行に配置され、前記スイッチング素子に対する制御入力を行う制御線をさらに具備することが好ましい。

【0032】また、前記第1のスイッチング素子及び前記第1のメモリセルユニットを構成する不揮発性メモリは同一のウェル上に形成され、前記第2のスイッチング素子及び前記第2のメモリセルユニットを構成する不揮発性メモリは同一のウェル上に形成されていることが好ましい。

【0033】また、前記データ保持手段は、センスアンプからなることが好ましい。

【0034】また、前記データ保持手段は、半導体素子によって形成されたフリップフロップからなることが好ましい。

【0035】また、前記第1及び第2のメモリセルユニットは、少なくとも1つの電荷蓄積層と制御ゲートとを有する電界効果トランジスタを含むことが好ましい。

【0036】また、前記電界効果トランジスタは、書き込み動作にFNトンネル電流を用いることが好ましい。

【0037】また、前記電荷蓄積層はポリシリコン又はシリコン窒化膜からなることが好ましい。

【0038】また、前記メモリセルユニットは、複数の不揮発性メモリを直列接続したNANDセルユニットからなることが好ましい。

【0039】（作用）本発明によれば、二つに分割された第1のデータ転送線と第2のデータ転送線との間にスイッチング素子を挿入し、書き込み時等のプログラム時においてスイッチング素子を遮断することにより、データ書き込みに際して第1のデータ選択線の1つと第2のデータ選択線の1つとを同時に選択することが可能となる。

【0040】従って、複数の行にデータを書き込む場合に、1メモリセルユニット当たりの書き込み時間を変化させなくとも、データ書き込み時間を1/2に減少させることができる。データ転送線の分割数が更に多い場合、データ書き込み時間を最大、1/（データ転送線の

8

分割数）に減少させることができる。よって、より高速にデータ書き込みを行うことができ、プログラムパルスを形成するための消費電力を減少させることができる。この効果は、不揮発性記憶メモリとして、二層ゲート構造のEEPROMのように、書き込み速度の遅いデバイスにおいて特に有効である。

【0041】また、行の分割数を増やすことにより全データ書き込み時間を短縮し、1つのメモリセルユニット当たりの書き込み時間を延ばすことも可能である。これにより、同じ電荷量を書き込むためのデータ書き込み電流を減少させることができ、ストレスリーク電流による不揮発性記憶メモリの劣化や消費電力の増加及びデータ保持特性の悪化を防ぐことができる。

【0042】また、ストレスリーク電流を減少させることができるので、不揮発性半導体メモリのゲート絶縁膜をより薄膜化することができ、書き込み時のプログラム電圧も減少させることができる。よって、プログラム電圧を発生させる昇圧回路の面積を縮小でき、かつトランジスタの面積も縮小できるため、よりチップ面積を縮小させることができる。さらに、プログラム電圧低下に伴い、消費電力もより減少させることができる。

【0043】また、データ転送線スイッチとしてスイッチング素子の代りに、分割した各データ転送線に対してセンスアンプを形成した場合と比較して、トランジスタ数を減少させることができ、回路面積を減少させることができる。

【0044】さらに、スイッチング素子には、電源線を配線する必要がない構成を用いることができ、メモリマトリックス領域に電源配線のための配線層やコンタクトを必要とせず、従来例と同じ配線層構成で回路を形成することができる。

【0045】さらに、書き込みデータを一時保持する回路を各センスアンプに複数形成することにより、書き込み時に外部データバッファからセンスアンプにデータを随時送る場合と比較して、高速であり、配線も短いので消費電力を減らすことができる。

【0046】

【発明の実施の形態】以下、本発明の詳細を好ましい実施形態によって説明する。

【0047】（第1の実施形態）図1は、本発明の第1の実施形態に係わる不揮発性半導体メモリを示すブロック図であり、特にメモリマトリックス及びその周辺主要部の回路構成（a）と、クロック発生回路（b）を示している。

【0048】図1は、データ転送線を直列方向に複数に分割し、データ転送線の間にデータ転送線スイッチ5、5'を形成している点が従来と異なっている。図1において、符号1、1'及び符号2、2'は、データ転送線を示している。また、例えば、符号6は書き込みを行うデータ選択線を示しており、符号6'は書き込みを行わな

9

いデータ選択線を示している。これらはデータ転送線1, 1', 2, 2'と互いに直交する方向に配置されている。

【0049】符号3は、二層ゲート構造の不揮発性半導体メモリセルからなるメモリセルユニットを示している。このメモリセルユニット3は、データ転送線1, 1', 2, 2'とデータ選択線6, 6'との交点にそれぞれ形成されている。メモリセルユニット3の制御入力端子をデータ選択線6, 6'に接続している。メモリセルユニット3のデータ入出力端子はデータ転送線1, 1', 2, 2'に接続されている。

【0050】図1では、1つのデータ転送線1, 1', 2, 2'にそれぞれ2つのメモリセルユニット3が接続され、1つのデータ選択線6, 6'にはそれぞれ2つのメモリセルユニット3が接続されている。

【0051】ここで、メモリセルユニット3のうちメモリセルユニットa11, a12が第1の発明における第1のメモリセルユニットであり、メモリセルユニットa21, a22が第2のメモリセルユニットである。そして、第1のメモリセルユニットa11, a12を接続するデータ転送線1が第1のデータ転送線であり、第2のメモリセルユニットa21, a22を接続するデータ転送線2が第2のデータ転送線である。また、第1のメモリセルユニットa11, a12に接続するデータ選択線6, 6'が第1のデータ選択線であり、第2のメモリセルユニットa21, a22を接続するデータ選択線6, 6'が第2のデータ選択線である。また、メモリセルユニットa11, a12, a21, a22でメモリブロックを構成している。このうちメモリセルユニットa11, a12、メモリセルユニットa21, a22はそれぞれメモリサブブロックを構成している。同様にメモリセルユニットb11, b12, b21, b22でメモリブロックを構成している。このうちメモリセルユニットb11, b12、メモリセルユニットb21, b22はそれぞれメモリサブブロックを構成している。

【0052】そしてこれらのメモリブロックはデータ選択線6, 6'の延伸している方向に並列に並ぶことで、メモリマトリックスを構成している。

【0053】本実施形態では、データ転送線1, 2, 1', 2'にはそれぞれ2つのメモリセルユニット3、データ選択線6, 6'にはそれぞれ2つのメモリセルユニット3を接続する例を示したが、データ転送線及びデータ選択線に接続するメモリセルユニットの数は複数であればよく、 2^n 個 (n は正の整数) であることがアドレスデコードをする上で望ましい。また、データ転送線の数とデータ選択線の数も複数であればよく、 2^n 個 (n は正の整数) であることがアドレスデコードをする上で望ましい。

【0054】データ転送線1, 1'の一端には、書き込みデータを一時保持する書き込みデータラッチ4, 4'

10

をそれぞれ接続している。ラッチ4, 4'は通常、メモリセルユニット3のデータを読み出すためのセンスアンプ回路を兼ねている。また、ラッチ4, 4'には、書き込み及び読み出しデータを外部回路と接続するデータ線10, 10'をそれぞれ接続している。さらに、ラッチ4, 4'には、データをラッチするためのタイミングを設定する制御信号線9を共に接続している。

【0055】データ転送線1, 1'の他端、即ちラッチ4, 4'を形成していない一端には、データ転送線スイッチ5, 5'の入出力端子の一方をそれぞれ接続している。データ転送線スイッチ5, 5'の入出力端子の他方には、データ転送線2, 2'の一端とそれぞれ接続されている。さらに、データ転送線スイッチ5, 5'には、データ転送線1とデータ転送線2との接続と、データ転送線1'とデータ転送線2'との接続を制御するための制御信号線8を共に接続している。

【0056】また、上記の各制御信号線8, 9及びデータ選択線6, 6'に適宜タイミング調整を行い信号出力するためのクロック発生回路11を設けている。この回路11は、例えば選択されていないデータ選択線6'に接続したメモリセルユニットa12, b12, a22, b22に、誤書き込みや誤読み出し及びデータ破壊を防ぐようにタイミング調整を行う。なお、以下では通例に従って、データ選択線6, 6'に沿った方向を行と呼び、データ転送線1, 1', 2, 2'に沿った方向を列と呼ぶことにする。

【0057】本実施形態では、書き込み時に、データ転送線スイッチ5, 5'を遮断状態にすることにより、データ転送線1, 1'の電位とデータ転送線2, 2'の電位とを書き込みデータに従ってそれぞれ独立に与えることができる。よって、データ転送線1, 1'及びデータ転送線2, 2'に接続されたメモリセルユニット3をデータ転送線の分割数分同時に書き込みを行うことができる。この場合1つのプログラムパルスによって、例えばメモリセルユニットa11, b11とメモリセルユニットa21, b21の2つの行におけるメモリセルユニットに同時に書き込み動作を行うことができる。

【0058】図2に、図1の実施形態の構造で複数の行、例えば2つの行についてデータ書き込みを行う場合のタイミング図を示す。図2では、まず簡単のために、ペリファイ書き込み動作が無い場合を説明する。なお、以下でトランジスタのon状態とは、トランジスタのしきい値よりも大きな電圧をゲート電極に加えて、MISFETのソース電極とドレイン電極が導通状態になっていることを示す。また、トランジスタのoff状態とは、トランジスタのしきい値よりも小さな電圧をゲート電極に加えて、MISFETのソース電極とドレイン電極が遮断状態になっていることを示す。

【0059】なお、しきい値としては、ソース電極とドレイン電極とに流れる電流が、例えば $40\text{ nA} \times$ (チャ

11

ネル幅) / (ゲート長さ) となる値になった時のゲート電圧とする。また、本実施形態では、通常のCMOSロジック回路の構成が簡単なため、しきい値が正であるトランジスタを例として用いて説明する。特に言及しない場合には、例えば0.5Vから1.5Vの範囲の V_{cc} となる正の電圧を制御電圧として与えた場合に回路がon状態となり、例えば0Vとなる電圧GNDを制御電圧として与えた場合に回路がoff状態になるとする。勿論、しきい値が負のトランジスタを用いても、ゲート電圧の可変範囲にしきい値が含まれるようにすればよい。

【0060】図2では、メモリセルユニットa21に“0”を書き込み、メモリセルユニットb21に“1”を書き込み、メモリセルユニットa11に“1”を書き込み、メモリセルユニットb11に“0”を書き込む場合を示す。従来例では、同じデータ転送線に接続されたメモリセルユニットに与えるデータが異なる本パターンデータでは、書き込む場合には最低2回プログラムパルスを与えなければならない、本実施例よりも2倍の書き込み時間がかかる。

【0061】なお、以下では、“1”はメモリセルユニット3の浮遊ゲート電極にキャリア、例えば電子を注入してしきい値を上昇させた状態を示す。また、“0”はメモリセルユニット3の浮遊ゲート電極にキャリアを注入せずにしきい値が低下したままの状態を示す。ここで、書き込みを行うメモリセルユニットは、既に、例えば浮遊ゲートの電荷を引き抜く方法によってデータ消去されているものとし、“0”状態になっているものとする。電圧の反転を適宜用いることにより、“1”及び“0”の条件を反転することが容易にできる。

【0062】まず、図2において、外部電流入出力端子I/O1に電圧 V_{cc} 及び外部電流入力端子I/O2に電圧GNDを与える。それぞれメモリセルユニットa21及びメモリセルユニットb21の書き込みデータに相当する電圧である。ここでは、“0”データに相当する電圧として V_{cc} 、“1”データに相当する電圧としてGNDとしている。また、図2では、書き込みデータ状態を実線で、反転した書き込みデータ状態を破線で示している。

【0063】本実施形態では、回路素子が少なく面積を小さくできるため、制御信号線9の電圧をoff状態、つまりGNDにした場合にデータをラッチし、 V_{cc} とした場合にデータ入出力線10の電圧がそのままデータ転送線1に伝わる例を示す。書き込みデータラッチ4、4'には、制御信号線9の立ち下がりエッジでデータをラッチする回路、例えばエッジトリガ型データラッチ回路を用いても良い。この場合、外部電流入力端子I/O1及びI/O2が変化してもデータ転送線の電圧を書き込みデータの電圧に安定させるのに望ましい。

【0064】まず、 $\Phi 6$ の電位を V_{bc} とし、データ転送線スイッチ5、5'を導通状態にする。次に、 $\Phi 5$ の

12

電圧を上昇させ、外部電流入力端子I/O1及びI/O2のデータをデータ転送線BLa1及びBLb1に出力する。この後、 $\Phi 5$ を下降させることでラッチする。この時、データ転送線スイッチ5、5'はon状態になっているので、データ転送線BLa2及びBLb2もそれぞれ、データ転送線BLa1及びBLb1と同電位となる。ここで、n型MISFETをデータ転送スイッチ5、5'として用いた場合、 V_{bc} はデータ転送線BLa1の最大電圧 V_{cc} にn型MISFETのしきい値分を加えた値以上とするのがデータ転送線BLa2の電位を V_{cc} まで上昇させるのに望ましい。

【0065】次に、データ転送線BLa2及びBLb2が、書き込み時の所定電位 V_{cc} 又はGNDに充放電されるのを待った後、 $\Phi 6$ の電位をGNDとし、データ転送線スイッチ5、5'を遮断状態にする。この遮断状態とするタイミング(t1)は、データ転送線BLa1にBLa2と異なるデータ電圧を伝達する制御信号線9のタイミング(t2)よりも先立って行われるようにする。これにより、データ転送線BLa2及びBLb2は電氣的に浮遊状態となるので、データ転送線スイッチ5、5'を遮断状態にする前に設定した電圧が保持される。

【0066】次に、外部電流入出力端子I/O1にGNDを与える。また外部電流出力端子I/O2に V_{cc} を与える。 V_{cc} 及びGNDはそれぞれメモリセルユニットa11及びメモリセルユニットb11に書き込みデータ“1”、“0”に相当する電圧である。

【0067】次に、 $\Phi 5$ の電圧を上昇させ、外部電流出力端子I/O1及びI/O2のデータ電圧を、データ転送線BLa1及びBLb1に伝達する。これまでのシーケンスによって、データ転送線BLa1、BLa2、BLb1、BLb2はそれぞれ、書き込み電圧に相当する電圧に設定される。

【0068】次に、データ転送線BLa1及びBLb1が、例えば1nsから1 μ sの間の時間、書き込み時の所定電位に充電されるのを待った後、データを書き込むメモリセルユニット3に接続されたデータ制御線6の電位を、プログラム電圧 V_{pgm} になるように電圧パルスを与える。この時、他の書き込みを行わないデータ制御線6'の電位を選択状態にならない V_{pass} にする。

【0069】ここで、100ms以下の実用的な速度で書き込み動作を終了するために、プログラム電圧 V_{pgm} としては、トンネル絶縁膜に10 $^{-4}$ A/cm²以上のFNトンネル電流を流すのに十分な電圧が要求される。例えば、膜厚t[nm]のシリコン酸化膜では、プログラム V_{pgm} はt[V]以上と設定する必要がある、t[V]から2.2t[V]の範囲にするのが実用的速度を得るために望ましい。また、 V_{pass} としては0V以上でプログラム電圧 V_{pgm} 以下となる電圧とし、 V_{pass} ではセルに誤書き込みされないよう通常、0.6 V_{pgm} 以

13

下に設定されるのが望ましい。また、プログラム電圧 V_{pgm} のパルス幅としては、 $1\mu s$ から $100ms$ の間となるようにするのが実用的速度を得るために望ましい。

【0070】データ書き込みパルス印加が終了した後、 $\Phi 6$ の電位を V_{bc} とし、データ転送線スイッチ5、5'を導通状態にする。これは、引き続いて読み出し動作が行われる場合、メモリセルユニット3のデータを高速で読み出すことを可能とするためである。

【0071】以上のシーケンスにより、1つのセンスアンプ（例えばラッチ4）に接続された複数のメモリセルユニット3について、1つのプログラムパルスによってデータを書き込むことができる。

【0072】以上において、メモリセルユニット3が1ビットの場合を説明した。この場合、例えば、メモリセルユニット3の具体的構造として、単独のEEPROMメモリセルの制御電極をデータ選択線6、6'に接続し、ソース・ドレイン電極の一方をデータ転送線1、2、1'、2'に接続した構造が挙げられる。また、その他の構造としては、例えば図3に示すようなメモリセルの直並列構造を用いればよい。

【0073】図3(a)は、メモリセルユニット3として、浮遊ゲート電極を有するMOSトランジスタからなる不揮発性メモリセルM1～M16を直列に接続し、選択トランジスタQ1を介してデータ転送線BLに一端を接続している。また、他の一端は選択トランジスタQ2を介してSourceと記してある共通ソース線に接続している。また、選択トランジスタQ1、Q2は、メモリセルM1～M16と同一のウェル上に形成している。それぞれのメモリセルM1～M16は制御電極WL1～WL16に接続している。また、選択トランジスタQ1の制御電極は選択線SL1に、選択トランジスタQ2の制御電極は選択線SL2に接続されており、いわゆるNAND型メモリセルアレイを形成している。

【0074】図3(b)は、メモリセルユニットとして、浮遊ゲート電極を有するMOSトランジスタからなる不揮発性メモリセルM1～M16を並列に接続し、ソース又はドレイン電極の一端を、選択トランジスタQ1を介してデータ転送線BLに接続している。また、ソース又はドレイン電極の他の一端は選択トランジスタQ2を介してSourceと記してある共通ソース線に接続されている。また、選択トランジスタQ1、Q2は、メモリセルM1～M16と同一のウェル上に形成されている。それぞれのメモリセルM1～M16は制御電極WL1～WL16に接続している。また、選択トランジスタQ1の制御電極は選択線SL1に、選択トランジスタQ2の制御電極は選択線SL2に接続し、いわゆるAND型メモリセルアレイを形成している。

【0075】図3(c)は、浮遊ゲート電極を有するMOSトランジスタからなる不揮発性メモリセルM1～M16が2個対として接続され、ソース又はドレイン電極

14

の一端が選択トランジスタQ1を介してデータ選択線BLに接続している。また、ソース又はドレイン電極の他の一端はsourceと記してある共通ソース線に接続されている。また、選択トランジスタQ1、Q2は、メモリセルM1～M16と同一のウェル上に形成している。それぞれのメモリセルM1～M16は制御電極WL1～WL16に接続している。また、選択トランジスタQ1の制御電極は選択線SL1に接続されており、いわゆるDINOR型メモリセルアレイを形成している。

【0076】これらの具体的セル構造について、メモリセルM1～M16の制御電極WL1～WL16の1つをデータ選択線6、6'に接続すれば、図3の点線内の構造で図1のメモリセルユニット3を構成できる。また、制御電極WL1～WL16の全てをデータ選択線6、6'に接続すると16ビットのメモリセルユニット3となる。

【0077】図14は、図3(a)に示すNAND型メモリセルユニットの平面図であり、メモリセルユニット3を3つ並列した構造を示している。特に、セル構造をわかりやすくするために、制御ゲート電極27よりも下の構造のみを示している。

【0078】また、図15(a)、(b)は、図14のB-B'及びA-A'方向の断面図である。特に図15(a)は、メモリセルの断面図を示している。

【0079】また、図14に示すようにユニット選択線SL1、SL2は、データ選択線WL1～WL16と同一方向に形成することが、高密度化には望ましい。

【0080】本実施形態では、メモリセルユニットに16=24個のメモリセルを接続している例を示したが、データ転送線及びデータ選択線に接続するメモリセルの数は複数であればよく、 2^n 個(n は正の整数)であることがアドレスデコードをする上で望ましい。

【0081】図14、図15(a)及び図15(b)において、p型シリコン領域23上に、トンネルゲート絶縁膜25、25SL1、25SL2が形成されている。トンネルゲート絶縁膜25、25SL1、25SL2上に電荷蓄積層26、26SL1、26SL2が形成されている。

【0082】p型シリコン領域23は、例えば、ボロン不純物濃度が $10^{14}cm^{-3}$ から $10^{19}cm^{-3}$ の間であれば良い。トンネルゲート絶縁膜25、25SL1、25SL2は、例えば、厚さ3nmから15nm、シリコン酸化膜又はオキシナイトライド膜であれば良い。また、電荷蓄積層26、26SL1、26SL2は、例えば、厚さ10nmから500nm、リン又は砒素を $10^{18}cm^{-3}$ から $10^{21}cm^{-3}$ 添加したポリシリコンで形成している。

【0083】この積層構造は、p型シリコン領域23上にトンネルゲート絶縁膜25、電荷蓄積層26を全面堆積する。次に、パターニングしてp型シリコン領域23

15

に達するまで、p型シリコン領域23を例えば0.05 μm ~0.5 μm の深さエッチングする。次に、エッチングにより形成された溝に素子分離絶縁膜24を埋め込むことで形成できる。

【0084】このような方法で形成するとゲート絶縁膜25及び電荷蓄積層26を段差のない平面に全面形成できるので、均一性がよく、特性の揃った膜を形成できる。

【0085】電荷蓄積層26上には、ユニット絶縁膜50、50SL1、50SL2が形成されている。ユニット絶縁膜50、50SL1、50SL2は、例えば、厚さ5nmから30nm、シリコン酸化膜又はオキシナイトライド膜、又はシリコン酸化膜/シリコン窒化膜/シリコン酸化膜の積層構造からなる。

【0086】ユニット絶縁膜50、50SL1、50SL2上には、制御電極27を形成している。制御電極27は、例えばリン、砒素、又はボロンを 10^{18}cm^{-3} ~ 10^{21}cm^{-3} 不純物添加したポリシリコン、又はWSi（タングステンシリサイド）とポリシリコンとの積層構造、又はNiSi、MoSi、TiSi、CoSiとポリシリコンのスタック構造からなる。また制御電極27の厚さは10nmから500nmである。

【0087】なお、p型シリコン領域（半導体領域）23は、n型シリコン領域22によってp型半導体基板21と独立に電圧印加できるようになっている。こうすることによって、消去時の昇圧回路負荷を減らし消費電力を抑えるためには望ましい。

【0088】本実施形態では、電荷蓄積層26を全面に堆積した後パターニングして溝を掘り、この溝の中に素子分離絶縁膜24を埋め込んでいる。したがって溝の深さを十分に取ることで、電荷蓄積層26とp型シリコン領域23とを素子分離絶縁膜24で十分に離すことができるので、p型シリコン領域23と素子分離絶縁膜24との境界で、ゲート電界の集中やしきい値の低下した寄生トランジスタが生じにくい。

【0089】さらに、電界集中による書き込みしきい値の低下現象、いわゆる、sidewalk現象が生じにくくなるため、より信頼性の高いトランジスタを形成することができる。

【0090】次に、図15(b)に示すように、浮遊ゲート電極26の両側には、例えば、厚さ5nmから200nm、シリコン窒化膜又はシリコン酸化膜からなる側壁絶縁膜43を形成している。またp型シリコン領域23中の電荷蓄積層26を挟む位置にはソース又はドレイン領域となるn型拡散層28を形成している。ソース又はドレイン領域28、電荷蓄積層26及び制御電極27により、電荷蓄積層26に蓄積した電荷量を情報量とする浮遊ゲート型EEPROMメモリセルを構成している。ゲート長は、0.01 μm 以上0.5 μm 以下であれば良い。

16

【0091】ソース又はドレイン領域28は、例えば、リンや砒素、アンチモンを表面濃度が 10^{17}cm^{-3} から 10^{21}cm^{-3} 、深さ10nmから500nmのn型シリコン領域である。さらに、ソース又はドレイン領域28は隣接するメモリセル同士共有され、NAND接続となっている。

【0092】また、選択トランジスタQ1、Q2（図3(a)）の制御電極27SL1、27SL2は、それぞれユニット選択線SL1及びSL2に接続している。

【0093】電荷蓄積層26SL1、26SL2のゲート長は、例えば、0.02 μm 以上1 μm 以下とすることにより、ユニット選択時と非選択時のオンオフ比を大きく確保でき、誤書き込みや誤読み出しを防止できる。

【0094】また、制御電極27（SL1）の片側に形成されたソース又はドレイン電極となるn型拡散層28aは、データ転送線36（BL）とBLコンタクト31aを介して接続している。データ転送線36（BL）は、例えば、タングステンやタングステンシリサイド、チタン、チタンナイトライド又はアルミニウムからなる。データ転送線36（BL）は、隣接するメモリセルユニットで接続するように、図14において紙面上下方向にユニット境界まで形成している。

【0095】制御電極27（SL2）の片側に形成されたソース又はドレイン電極となるn型拡散層28sは、SLコンタクト31sを介してソース線33（Source）と接続している。このソース線33（Source）は、隣接するメモリセルユニットで接続されるように図14において紙面左右方向にユニット境界まで形成されている。勿論、n型拡散層28sを紙面左右方向にユニット境界まで形成することにより、ソース線としてもよい。

【0096】BLコンタクト及びSLコンタクトは、例えば、n型又はp型にドーパしたポリシリコンやタングステン、タングステンシリサイド、Al、TiN、Tiなどを充填し、導電体領域となっている。ユニット選択線SL1、SL2及びデータ転送線BLと、トランジスタとの間は、例えばSiO₂やSiNからなる層間膜100を充填している。データ転送線BL上部には、例えばSiO₂、SiN又はポリイミドからなる絶縁膜保護層37や、例えば、W、Al又はCuからなる上部配線を形成する。

【0097】図16は本実施形態の変形例である。これは、浮遊型ゲートを用いたNANDメモリセルユニットを、MONOS型ゲートを用いたNANDメモリセルユニットに変更したものである。

【0098】図16(b)、(c)は、それぞれ図15(a)、(b)に対応するNMONOS型ゲートを用いたANDメモリセルユニットのB-B'及びA-A'の断面図である。なお、平面図は、図14と同一なので省略する。さらに図16(a)は、B-B'同一方向に沿ったユニット選択線27（SL1）の断面図である。

17

【0099】図16は、電荷蓄積層26を有したMONOSトランジスタからなる不揮発性メモリセルを直列に接続し、選択トランジスタQ1を介して一端をデータ転送線BLに接続している。また、他の一端を、選択トランジスタQ1を介して共通ソース線SLに接続している。電荷蓄積層26はSiNやSiONからなる。また、選択トランジスタQ1、Q2及びメモリセル(M1~M16)(以上図3(a))を同一のウェル上に形成している。

【0100】図16(a)、(b)、(c)において、¹⁰ p型シリコン領域23に、トンネルゲート絶縁膜25を介して、電荷蓄積層26を形成している。p型シリコン領域23は、例えば、ボロン不純物濃度が 10^{14}cm^{-3} から 10^{19}cm^{-3} である。また、トンネルゲート絶縁膜25は、例えば、厚さ1nmから10nm、シリコン酸化膜又はオキシナイトライド膜からなる。電荷蓄積層26は、例えば、厚さ3nmから50nm、SiN又はSiONからなる。

【0101】電荷蓄積層26上に、絶縁膜50を介して、制御電極27を形成している。絶縁膜50は、例²⁰ えば、厚さ2nmから10nm、シリコン酸化膜又はオキシナイトライド膜からなる。また、制御電極27は、例えば、厚さ10nmから500nm、ポリシリコンやWSi(タングステンシリサイド)とポリシリコンとのスタック構造又はNiSi、MoSi、TiSi、CoSiとポリシリコンのスタック構造からなる。

【0102】制御電極27は、図14において、隣接するメモリセルユニットで接続するように紙面左右方向にユニット境界まで形成している。ユニット選択線SL³⁰ 1、SL2を形成している。

【0103】なお、p型シリコン領域23は、n型シリコン領域22によってp型半導体基板21と独立に電圧印加できるようになっている。こうすることで消去時の昇圧回路負荷を減らし消費電力を抑えることができる。

【0104】本変形例でも、電荷蓄積層26を全面に堆積した後パターニングして溝を掘り、この溝の中に素子分離絶縁膜24を埋め込んでいる。したがって溝の深さを十分に取ることで、電荷蓄積層26とp型シリコン領域23とを素子分離絶縁膜24で十分に離すことができるので、p型シリコン領域23と素子分離絶縁膜24⁴⁰ との境界で、ゲート電界の集中やしきい値の低下した寄生トランジスタが生じにくい。

【0105】さらに、電界集中による書き込みしきい値の低下現象、いわゆる、sidewalk現象が生じにくくなるため、より信頼性の高いトランジスタを形成することができる。

【0106】また、電荷蓄積層26の両側の位置には、絶縁膜43を形成している。この絶縁膜43は、厚さ5nmから200nm、シリコン窒化膜又はシリコン酸化膜からなる。p型シリコン領域23中の浮遊ゲート26⁵⁰

18

を挟む位置にはソース又はドレイン領域となるn型拡散層28を形成している。

【0107】ソース又はドレイン領域28と電荷蓄積層26、制御電極27により、MONOS型不揮発性EEPROMメモリセルを形成している。浮遊ゲート26のゲート長は、0.01 μm 以上0.5 μm とする。n型拡散層28は、例えば、リン、砒素又はアンチモンを不純物として拡散させ、表面濃度が 10^{17}cm^{-3} から 10^{21}cm^{-3} 、深さ10nmから500nmで形成する。n型拡散層28はメモリセル同士で直列に接続し、NAND接続している。

【0108】制御電極27(SL1)、27(SL2)は、ゲート絶縁膜25SL1、25SL2を介してp型シリコン領域(p型ウェル)23と対向し、MOSTラ¹⁰ ンジスタを形成している。ゲート絶縁膜25SL1、25SL2は、例えば、厚さ3nmから15nm、シリコン酸化膜又はオキシナイトライド膜からなる。

【0109】選択トランジスタの制御電極27SL1、27SL2のゲート長は、メモリセルの制御電極27(WL1~WL16)のゲート長よりも長く、例えば、0.02 μm 以上1 μm 以下とすることにより、ユニッ²⁰ ト選択時と非選択時のオンオフ比を大きく確保でき、誤書き込みや誤読み出しを防止できる。

【0110】また、制御電極27(SL1)の片側に形成されたソース又はドレイン領域となるn型拡散層28³⁰ aは、BLコンタクト31aを介してデータ転送線36(BL)と接続している。データ転送線36(BL)は、例えば、タングステンやタングステンシリサイド、チタン、チタンナイトライド、又はアルミニウムからなる。

【0111】また、制御電極27(SL2)の片側に形成されたソース又はドレイン電極となるn型拡散層28⁴⁰ sは、SLコンタクト31sを介してソース線SLと接続している。

【0112】BLコンタクト及びSLコンタクトとしては、例えば、n型又はp型にドーブしたポリシリコンやタングステン、又はタングステンシリサイド、Al、TiN、Tiなどを充填し、導電体領域となっている。さらに、ソース線SL及びデータ転送線BLと、トランジスタとの間は、例えばSiO₂やSiNからなる層間絶縁膜28によって絶縁している。

【0113】さらに、データ転送線BL上部には、例えばSiO₂、SiN、又は、ポリイミドからなる絶縁膜保護層37や、例えば、W、AlやCuからなる上部配線⁵⁰ を形成している。

【0114】本変形例は、第1の実施形態の特徴に加え、MONOS型メモリセルを用いているため、第1の実施形態の浮遊ゲート型EEPROMメモリセルよりも書き込み電圧及び消去電圧を低くすることができ、素子分離間隔を狭めゲート絶縁膜厚を薄膜化しても耐圧を維

19

持することができる。よって、高電圧が印加される回路の面積を小さくでき、よりチップ面積を縮小することができる。さらに、第1の実施形態と比較して、電荷蓄積層26の厚さを20nm以下に小さくでき、よりゲート形成時のアスペクトを低減できる。よってゲート電極の加工形状を向上させ、層間絶縁膜100のゲート間の埋め込みも向上させることができる。そしてより耐圧を向上させることができる。

【0115】また、電荷蓄積層を形成するためのプロセスやスリット作成プロセスが不要であり、よりプロセス工程を短くすることができる。また、電荷蓄積層26が絶縁体で、1つ1つの電荷トラップに電荷が捕獲されているので、放射線に対して電荷が抜けにくく強い耐性を持たせることができる。さらに、電荷蓄積層26の側壁絶縁膜43が薄膜化しても、電荷蓄積層26に捕獲された電荷がすべて抜けてしまうことなく良好な保持特性を維持できる。

【0116】図17に本発明の別の変形例にかかる不揮発性メモリの平面図及び断面図を示す。これは、図14、図15に示すNANDメモリセルユニットを図3(b)に示すANDメモリセルユニットに変更したものである。なお、図14、図15のNANDメモリセルユニットと同一の部分には、同一符号をつけて詳しい説明は省略する。

【0117】図17(a)は図3(a)に示すANDメモリセルユニット3の平面図、図17(b)、図17(c)は、図17(a)のB-B'方向断面図、C-C'方向断面図である。特に、図17(a)では、セル構造をわかりやすくするために、ゲート電極27よりも下の構造のみを示している。

【0118】図17(b)、図17(c)において、p型シリコン領域23上にトンネルゲート絶縁膜25、25SL1、25SL2を介して、電荷蓄積層26を形成している。トンネルゲート絶縁膜25、25SL1、25SL2は、例えば、厚さ3nmから15nm、シリコン酸化膜又はオキシナイトライド膜からなる。電荷蓄積層26は、例えば、厚さ10nmから500nm、リンまたは砒素を 10^{18}cm^{-3} から 10^{21}cm^{-3} 添加したポリシリコンからなる。

【0119】また、電荷蓄積層26上に、絶縁膜50が形成されている。絶縁膜50は、例えば、厚さ5nmから30nm、シリコン酸化膜またはオキシナイトライド膜、またはシリコン酸化膜/シリコン窒化膜/シリコン酸化膜からなる。

【0120】この構造は、半導体領域23にゲート絶縁膜25、電荷蓄積層26を全面堆積する。次に、パターニングして半導体領域23に達するまで、例えば0.05 μm ~0.5 μm の深さエッチングし溝を形成する。この溝を、絶縁膜24で埋め込むことで形成することができる。このようにメモリセル部のゲート絶縁膜25お

20

よび浮遊ゲート26を段差の少ない平面に全面形成できるので、より均一性の向上した特性の揃った成膜を行うことができる。

【0121】また、メモリセル部の層間絶縁膜46とn型拡散層28は、トンネル絶縁膜25を形成する前にあらかじめトンネル絶縁膜25を形成する部分に例えば、ポリシリコンによるマスク材を形成し、イオン注入によってn型拡散層を形成後、全面に層間絶縁膜46を堆積し、CMP(ケミカルメカニカルポリッシング)およびエッチバックによってマスク材を選択的に取り除くことで自己整合的に形成することができる。

【0122】層間絶縁膜46上には、制御ゲート27を形成している。制御ゲート27は、例えば、厚さ10nmから500nm、ポリシリコン又はWSi(タングステンシリサイド)とポリシリコンとのスタック構造又はCoSiとポリシリコンのスタック構造からなる。この制御ゲート27は、図17(a)において隣接するメモリセルユニットで接続するように紙面左右方向にユニット境界まで形成しており、データ選択線WL1~WL6およびユニット選択SL1、SL2を形成している。

【0123】なお、p型シリコン領域23は、n型シリコン領域22によってp型半導体基板21と独立に電圧印加できるようになっている。このことによって、消去時の昇圧回路負荷を減らし消費電力を抑えることができる。

【0124】図17(c)に示すように、メモリセルに相当するC-C'断面において、電荷蓄積層26の下には、層間絶縁膜46を挟んでソース又はドレイン電極となるn型拡散層28を形成している。層間絶縁膜46は、例えば、厚さ5nmから200nm、シリコン酸化膜またはオキシナイトライド膜からなる。n型拡散層28、電荷蓄積層26および制御ゲート27により、電荷蓄積層26に蓄積された電荷量を情報量とする浮遊ゲート型EEPROMメモリセルを構成している。ゲート長は、0.01 μm 以上0.5 μm とする。

【0125】図17(c)のように、層間絶縁膜46はソース又はドレイン領域28を覆うように、チャネル上にも形成される方が、ソース又はドレイン領域28端での電界集中による異常書込みを防止するのに望ましい。ソース又はドレイン領域(n型拡散層)28としては、例えば、リンや砒素、アンチモンを不純物とし、表面濃度が 10^{17}cm^{-3} から 10^{21}cm^{-3} となるように、深さ10nmから500nmの間で形成している。さらに、n型拡散層28はデータ転送線BL方向に隣接するメモリセル同士共有し、AND接続を構成している。

【0126】また、選択トランジスタQ1、Q2の制御電極27(SL1)、27(SL2)は、それぞれソース線SL1、SL2に相当するユニット選択線に接続されている。

21

【0127】図17(a)および図17(b)に示すように、ユニット選択トランジスタQ1は、ソース又はドレイン電極28、28dと、ゲート電極27(SL1)からなるMOSFETである。ユニット選択トランジスタQ2は、ソース又はドレイン電極28、28sと、ゲート電極27(SL2)からなるMOSFETである。

【0128】ゲート電極27(SL1)、27(SL2)のゲート長は、メモリセルゲート電極のゲート長よりも長く、例えば、 $0.02\mu\text{m}$ 以上 $1\mu\text{m}$ 以下とすることにより、ユニット選択時と非選択時のオンオフ比を大きく確保でき、誤書き込みや誤読み出しを防止できる。

【0129】この例では、図3(b)で示すようにANDメモリセルを用いているので、メモリセルユニットの直列抵抗を小さく一定とすることができ、多値化した場合のしきい値を安定させるのに向いている。

【0130】次に、データ転送スイッチについて説明する。

【0131】図4に、図1で示すデータ転送線スイッチ5、5'の具体例を示す。図4において、BLa1は書き込みデータラッチを接続した側のデータ転送線を、BLa2は書き込みデータラッチを接続していない側のデータ転送線を示す。また、Φ6と書いた部分には、図2で示したタイミングで制御電圧を印加している。

【0132】図4(a)のように、n型MISFET(Q3)を用いた構造では、電流駆動能力がp型MISFETよりも大きく、スイッチ回路面積を非常に小さくでき、不揮発性メモリセルも通常n型MISFETなので、メモリセルとのウェル分離の必要性もない。さらに、図4(b)のように、p型MISFET(Q3)を用いた構造でもよい。この場合、ゲート電極には、図2で説明したΦ6の反転信号/Φ6が入力されればよく、トランジスタQ3のゲート電極をVcc以上に昇圧する必要がなく、低電圧駆動に向く。以後、反転信号には、/を付けて示すことにする。

【0133】また、図4(c)に示す例では、図4(a)のトランジスタQ3のスイッチに加え、トランジスタQ4、Q6からなるダイナミック型メモリセルをデータ転送線BLa2側に形成している。ここで、トランジスタQ6は電荷保持用のキャパシタとして作用し、デプレッション型トランジスタによって形成することが容量を大きくするために望ましい。トランジスタQ6で形成したキャパシタは、MISFETでなく通常のキャパシタで形成してもよく、データ転送線BLa2に接続したメモリセルへ書き込む時に、データ転送線BLa2の電圧変化を小さくするためのものである。トランジスタQ4は、トランジスタQ6から形成したキャパシタにデータを書き込むタイミングを制御するためのものである。

【0134】ここで、プレート電圧Vplateとしては、

22

GNDとVccとの間、特にVccとするのが、トランジスタをon状態にし蓄積容量を大きく確保するために望ましい。トランジスタQ6の容量としては、不揮発性メモリセルの制御電極と基板間の導通状態での容量をCcellとし、図3に示したメモリセルユニット3内の不揮発性メモリセルの並列又は直列数をnとして、データ転送線の電位を安定させるために、 $n \times C_{\text{cell}}$ よりも十分、例えば3倍以上に大きくする必要がある。

【0135】Φ7のタイミングは、前記図2に示しているように、Φ5がVccなり、BLa1に書き込み電位が与えられた後、Vbcの電位が与えられる。Vbcの電位が与えられた時にデータ転送線スイッチ5は導通状態であり、センスアンプ及び書き込みデータラッチ4の出力電位に、トランジスタQ6のキャパシタにVcc又はGNDの電位を印加する。次に、プログラムパルス印加した後に、Φ7をVbcからGNDにする。ここで、Φ7は、読み出し状態ではGNDとなるようにし、データ線の付加容量を減少させ、読み出し信号電圧や、読み出し速度を向上させる必要がある。

【0136】図4(c)の例では、データ転送線BLa2の書き込み時の設定電圧が図4(a)よりも安定し、高周波ノイズはトランジスタQ6のコンデンサによってVplateにバイパスされ平滑化されるので、データ選択線の容量結合によるVpass昇圧時の電位上昇やビット線のリーク電流による電荷の損失、更にはスイッチングノイズなどに対して耐性を持つようになる。

【0137】また、図4(d)に示す例では、図4(a)のトランジスタQ3のスイッチに加え、n型MISFETQ4及びQ5、キャパシタCによって、いわゆるアクティブリストア回路がデータ転送線BLa2側に形成されている。この容量Cはデータ転送線の容量に比べて十分小さくすることが、Φ8に対するパルス印加によって“1”レベルのデータ転送線電圧を変動させないためには望ましい。

【0138】Φ8のタイミングは、前記図2に示しているように、Φ6がGNDとなり、データ転送線スイッチ5を遮断状態した後にGNDからVccとなり、プログラムパルス印加した後にVccからGNDになるようにする。ここで、トランジスタQ4のしきい値をVthとすると、Φ8がGNDの時にBLa2の電位がVcc-Vthよりも高くなるとトランジスタQ4が遮断状態となり、トランジスタQ5のゲート電圧はVcc-Vthとなる。

【0139】この後、Φ8にVccのパルスが加えられると、トランジスタQ4が遮断状態なので、浮遊状態であるトランジスタQ5のゲート電圧はほぼ2Vcc-Vthまで上昇し、トランジスタQ5がオン状態となるのでデータ転送線BLa2の電位はVccまで充電される。一方、Φ8がGNDの時にデータ転送線BLa2の電位がVcc-Vthよりも低くなり、トランジスタQ

23

5のしきい値よりも低い電圧になると、トランジスタQ4は導通状態となるので、Φ8にパルス電圧を与えてもトランジスタQ5のゲート電圧はデータ転送線BLa2の電圧に固定され、トランジスタQ5は導通状態とならない。よって、パルス電圧を与えた前と後の電圧は等しくなる。

【0140】即ち、このアクティブリストア回路によって、プログラムパルスを与えている間、“0”レベルのデータ転送線BLa2の書き込み電圧をVccという一定電圧に昇圧することができ、データ転送線の接合リークなどによってデータ転送線BLa2の電位が低下しても、“1”へ誤書き込みするのを防ぐことができる。

【0141】図4(e)は、図4(d)に示した回路をp型MISFETに置き換えたものである。本回路の動作は、図4(d)と極性が逆になる点を除いて同様なので省略する。本回路では、不揮発性メモリセルへの電子注入や、プログラム電圧パルスの容量結合によって、データ転送線BLa2の電位が上昇しても、プログラムパルスを与えている間、“1”レベルのデータ転送線BLa2の書き込み電圧をGNDという一定電圧に保つことができ、よりトンネル絶縁膜に印加される電界を一定にし、書き込み電流を一定にすることができる。よって、ビット線にリーク電流があってもより書き込み速度を揃え、セル特性によるばらつきを減らして高速に書き込むことができる。

【0142】図5に、図1に示した本実施形態のデータ転送線スイッチ5、5'を挟んだメモリセルユニット3の上面レイアウト側を示す。メモリセルユニット3としては、図3(a)に示すようなNANDセルユニットを用いた。本図において、ゲート電極以外の配線層1、1'、2、2'を太い実線で示しており、図を見易くするため、メモリセルであるトランジスタM1~M16とずらして描いているが、実際はメモリセルM1~M16のトランジスタの半導体基板鉛直方向にデータ選択線と直交して形成している。

【0143】スイッチ5、5'としては、図4(a)の回路を用いた。図5のように、メモリセルユニットa12とメモリセルユニットb12のデータ制御線WL1~WL16は、データ転送線に直交する方向に複数個並列に形成され、共有されている。さらに、メモリセルユニット内の選択トランジスタのゲート制御線SL1~SL4も共有され、データ制御線と同一方向に形成されている。このようにすることにより、メモリセルユニットを全てのデータ転送線とデータ選択線の交点に配置することができる。

【0144】本実施形態では、スイッチ5、5'に対する制御線(Φ6)を共有し、データ制御線WL1~WL16と同一方向に稠密に形成している。そこで、データ転送線スイッチ5、5'を形成するには、ゲート電極配線とソース・ドレイン拡散層のみの接続を従来例に追加

24

するだけで配置することができ、電源線への配線層増加によるプロセスの困難さやコスト上昇の問題がない。また、本セルアレイ部では、従来例に比べ、データ選択線方向の面積増加がなくレイアウトすることができる。レイアウトに対する本特徴は、データ転送線スイッチ5、5'に、図4(a)、図4(b)、及び図4(c)の構造を用いた場合に同様に得られる。

【0145】なお、不揮発性メモリを複数含んだメモリセルユニットを3として用いる場合には、複数の書き込むデータ行は、メモリマトリックス内での同一行、例えばメモリセルユニットa12のデータ制御線WL1とメモリセルユニットa21のデータ制御線WL1を選択することがアドレス選択回路構成を単純化し回路面積を小さくするために望ましい。従来例でもメモリセルマトリックス内の同一行は並列接続されているので、このように選択することにより、データ選択線に対して新たなデコードを設けることなく、ゲート制御線SL1~SL4を制御することによって複数の行の書き込みを行うことができる。

【0146】図6に、本実施形態の書き込みデータラッチ4の回路例を示す。4'については、データ転送線BLa1をデータ転送線BLb1に、入出力端子I/O1を入出力端子I/O2に読み替えれば良いので省略する。図6において、Inv1及びInv2はクロスカップリングしたインバータを示しており、これらは2つでフリップフロップを形成している。これは、書き込みデータや読み出しデータを保持するための一時記憶ラッチとして機能している。

【0147】Inv1の入力は、トランジスタQ7を介して入出力端子I/O1と接続し、Φ5は入出力端子I/O1に与えたデータを入出力するタイミングを調整している。さらに、Inv1は、トランジスタQ8を介してデータ転送線BLa1に接続し、Φ10は書き込みデータを出力するタイミングを調整している。Inv2の入力は、読み出しデータをラッチするタイミングを調整するトランジスタQ10のソース又はドレイン電極に接続されている。

【0148】また、トランジスタQ10におけるソース又はドレイン電極の他の一方は、センストランジスタであるトランジスタQ9のソース又はドレイン電極に接続している。さらに、トランジスタQ9におけるソース又はドレイン電極の他の一方はGNDに接続し、トランジスタQ9の入力はデータ転送線BLa1に接続している。また、データ転送線BLa1には、トランジスタQ11なるp型MOSFETが接続され、メモリセル読み出し時に、データ転送線BLa1に読み出しのための電流を供給する電流源となるよう、Φiによってタイミング調整を行う。

【0149】これら回路ブロック4は、書き込みデータラッチ及び読み出しペリファイ動作を行うことができ、

25

ここまでの構成及び動作については、例えば特開平7-182886号公報により記載している。この場合、回路ブロック4に含まれるトランジスタ数は、図6の破線に囲まれた領域となり、最低9個となる。

【0150】これに対して、図4の例に含まれるデータ転送線スイッチ5に含まれるトランジスタは最大で3個であり、以下で説明するダイナミックラッチ回路13、13'とデータ転送線スイッチ5とのトランジスタの総数は最大9個となり、センスアンプを含んだ回路ブロック4のトランジスタの個数以下となる。さらに、図6の回路では、センストランジスタQ9はしきい値ばらつきの小さいものを用いる必要があるため、最小設計寸法のゲート長及びチャネル幅のトランジスタよりも数倍大きなゲート長及びチャネル幅を用いる必要がある。よって、図6のセンスアンプ回路ブロック4を複数個用意するよりも、図4に示したようなデータ転送線スイッチ5の回路を用いる方が回路面積を小さく実現できる。

【0151】なお、本実施形態では、図6のデータ書き込みラッチ4に回路13及び回路13'が新規に形成されている。これら回路は、それぞれペリファイ書き込み方式に対応して第1行及び第2行の初期書き込みデータを保持するための回路である。回路ブロック13において、トランジスタQ13を介してInv1の出力がトランジスタQ14のゲート電極に接続され、 $\Phi s1$ はInv1の出力電圧をトランジスタQ14のゲート電極の容量に保持するタイミングを調整している。さらに、Inv1の入力は、トランジスタQ14のソース又はドレイン電極に接続している。

【0152】トランジスタQ14におけるソース又はドレイン電極の他の一方は、トランジスタQ12のソース又はドレイン電極の一方と接続している。さらに、トランジスタQ12のソース又はドレイン電極における他の一方はGNDに接続している。トランジスタQ12のゲート電極は、保持されたデータを出力するタイミングを調整する $\Phi r1$ 信号に接続されている。ここで、 $\Phi s1$ がVbcからGNDに低下した場合に、トランジスタQ14のゲート電極にInv1の出力がラッチされる。このシーケンスを、以後データストアと呼ぶ。

【0153】また、Inv1の入力がVccの場合に、 $\Phi r1$ がGNDからVccに上昇すると、トランジスタQ12及びトランジスタQ14のソース又はドレイン電極を介して、トランジスタQ14に貯えられたデータの反転出力がInv1に入力する。よって、 Φi をGNDとしBLa1をVccに充電した後に、 $\Phi 10$ にGNDの電位からVbcのパルス印加し、Inv1の入力ノードをVccに充電し、さらに $\Phi r1$ にGNDの電位からVccのパルス印加すれば、データストアした時のInv1の入力に得た電圧と等しい電圧をInv1の入力に得る。この動作を以後、データリコールと呼ぶこととする。ここで、回路13'は、入力端子 $\Phi s1$ を Φs

26

2と読み替え、 $\Phi r1$ を $\Phi r2$ と読み替えれば、13と回路構成は同じで、動作も同様なので説明は省略する。

【0154】次に、図1の実施形態構造での複数の行、例えば図2のタイミングチャートで示した2つの行についてデータ書き込みを行う場合の、ペリファイ読み出し動作を含めたフローチャートを図7に示す。以後、書き込みデータラッチ4から遠いセルを第1行、書き込みデータラッチ4から近いセルを第2行とする。ここで、第1行と第2行とは、データ転送線スイッチ5を挟んで別のサブブロックに存在するデータ行である。

【0155】まず、データ転送線スイッチ5、5'を導電状態にした後、第1行の書き込みデータをラッチ4、4'にロードする(S1)。さらに、第1行のデータを回路13にデータストアする(S7)。次に、第2行の書き込みデータをラッチ4、4'にロードする(S1')。この後、第1行、第2行のデータ転送線の電圧を設定した後にプログラムパルス印加する(S2)。ここまでのタイミングについては、図2に示したタイミングで行えばよく、 $\Phi s1$ 、 $\Phi s2$ はBLa1に該当するセルの書き込みデータが与えられる期間にVbcのパルスを与えればよい。

【0156】全メモリセルユニット書き込み終了まで第2行に対してペリファイリードとプログラムパルス再印加を繰り返す工程は、従来の1行に対するペリファイ書き込みと同じなので省略する。ここで、プログラムパルスを再印加する工程S6は、1行に対するプログラムパルス印加であり、従来公知の方法を用いればよい。また、図7のS3工程以降は、データ転送線スイッチ5、5'を導通状態としたままで良い。

【0157】次に、第1行のデータを回路13からデータリコールした後(S8)、第1行に対して第1行の全メモリセルユニット書き込み終了までペリファイリードとプログラムパルス再印加する工程を行う。ここで、ペリファイリードS3'のシーケンスは、具体的には次のようになる。データリコールS8のシーケンスの後には、Inv1の入力ノードが、“0”データのセルの場合Vcc、“1”データのセルの場合GNDとなっている。この状態から、 $\Phi 10$ をGNDとし、ラッチとデータ転送線BLa1を切り離し、トランジスタQ11をoffにしてデータ転送線BLa1をVccに充電する。この後、トランジスタQ11をoff状態にする。

【0158】次に、SL1~SL4のうち、ペリファイするメモリセルユニットに縦続接続された選択ゲートをon状態とし、当該メモリセルの制御ゲートにペリファイ電圧Vrefを印加する。Vrefとしては、メモリセルユニットの“0”状態のしきい値と“1”状態のしきい値の間の値となるようにし、“1”状態として許容できる最低設計値とするのが“0”と“1”の状態を分離するのに望ましい。これにより、“0”状態、又はデータが充分書き込まれていない“1”状態では、当該メモリセル

27

のしきい値が V_{ref} より低いため、当該メモリセルを通じて電流がソース線に流れ、データ転送線 $BLa1$ の電位がトランジスタ $Q9$ のしきい値以下まで低下する。

【0159】一方、データが充分書き込まれた“1”状態では、当該メモリセルユニットのしきい値が V_{ref} より高いため、当該メモリセルに電流が流れず、データ転送線 $BLa1$ の電位は V_{cc} に保持される。この状態で、 $\Phi9$ に V_{cc} パルス印加すると、 $Inv1$ の入力ノードが、“0”データセルの場合とデータが充分書き込まれた“1”データセルの場合では V_{cc} 、データが充分書き込まれていない“1”データセルの場合 GND となる。ここまでのシーケンスが $S3'$ となる。

【0160】次いで、トランジスタ $Q7$ を on にすることによって、 $Inv1$ の入力ノードの状態、即ち $I/O1$ に充分にデータが書き込まれていない場合 GND を、当該メモリセルが書き込み終了の場合 V_{cc} を入出力端子 $I/O1$ に出力することができる。当該メモリセルに充分にデータが書き込まれていない場合、トランジスタ $Q7$ を off にし、トランジスタ $Q10$ を on にすることによって、データ転送線 $BLa1$ に $Inv1$ の入力ノードの状態を転送する。この後、プログラムパルスが当該メモリセルユニットの制御ゲートに印加されるが、充分にデータが書き込まれていない場合のみデータ転送線 $BLa1$ の電圧は GND となり、それ以外の場合には V_{cc} となっているので、充分にデータが書き込まれていないメモリセルのみ、制御ゲートとデータ転送線 $BLa1$ の電圧差が大きくなり電荷が浮遊ゲート電極に注入され、ペリファイ書き込み動作を行うことができる。

【0161】図7で示す例では、データ書き込みラッチに、従来のセンスアンプ4に加え、第1行のデータを保持する回路13のみ必要であり、第2行のデータを保持する回路13'は必要ない。このため、回路面積の増大を抑えることができる。なお、1つの書き込みデータラッチ4に接続されたデータ転送線を3つ以上の複数 n 本に分割した場合には、回路13と同様の回路が $(n-1)$ 個必要となる。これらの接続は、13及び13'のように $Inv1$ と $Inv2$ の出力に並列接続すればよい。

【0162】図8に、図1の実施形態構造での複数行の、ペリファイ読み出し動作を含めたプログラム動作におけるフローチャートの別の例を示す。この例では、図6のように、第1のデータを保持する回路13と第2行のデータを保持する回路13'が同時プログラムする行数個必要であるが、ペリファイ再書き込みの際にも、第1行と第2行との両方を同時にプログラムすることができる。よって、全プログラム時間を更に短縮することができる。

【0163】図8において、まずデータ転送線スイッチ5、5'を導電状態にした後、第1行の書き込みデータをラッチ4、4'にロードする($S1$)。さらに、第1

28

行のデータを回路13にデータストアする($S7$)。次いで、第2行の書き込みデータをラッチ4、4'にロードする($S1'$)。さらに、第2行のデータを回路13'にデータストアする($S7'$)。この後、第1行、第2行のデータ転送線の電圧を設定した後にプログラムパルス印加する($S2$)。ここまでのタイミングについては、図2に示したタイミングで行えばよい。

【0164】次いで、第1行のデータを回路13からデータリコールした後($S8$)、第1行に対してペリファイリード($S3$)を行い、“1”データで再書き込みが必要なセルについて GND を、再書き込みの必要ないセルには V_{cc} を、例えば図1の入出力端子 $I/O1$ 、データ転送線 $BLa2$ 及び $BLa1$ に出力する。この後、データ転送線スイッチ5、5'を off 状態にし、データ転送線 $BLa2$ 及びデータ転送線 $BLb2$ を、データ転送線 $BLa1$ 及びデータ転送線 $BLb1$ から切り離し、浮遊状態とする($S9$)。

【0165】次いで、第2行のデータを回路13'からデータリコールした後($S8'$)、第2行に対してペリファイリード($S3'$)を行い、“1”データで再書き込みが必要なセルについて GND を、再書き込みの必要ないセルには V_{cc} を、例えば、図1の入出力端子 $I/O1$ 、データ転送線 $BLa1$ に出力する($S9'$)。ここで、 $S9$ のシーケンスの前に、例えば入出力端子 $I/O1$ を V_{cc} にプリチャージしておき、 $S9$ 及び $S9'$ シーケンスによってトランジスタ $Q7$ を on 状態にすれば、“1”データで再書き込みが必要なセルが1つでもある場合には、トランジスタ $Q7$ を通じて入出力端子 $I/O1$ の電荷が放電される。よって、 $S9'$ 終了後に入出力端子 $I/O1$ の電位が V_{cc} よりも低下している場合には、入出力端子 $I/O1$ に複数個回路4'が接続された場合でも、第1行と第2行の全メモリセルユニットに書き込みを行っていないと判断することができる($S4$)。

【0166】全メモリセルユニットに書き込みを行っていない場合には、プログラムパルスの電圧及びパルス幅を再設定し($S5'$)、再書き込みを行う。図8に示す例のシーケンスでは、 $S8$ のシーケンスによって、 $Inv1$ の入力が“1”を書き込むセルは GND に、“0”を書き込むセルは V_{cc} に再設定する。よって、次のペリファイ読み出し時に、“1”を書き込むセルについて、プログラム再書き込み数に依らず、常に書き込み終了が判定する。

【0167】ここで、“1”データで再書き込みが必要なセルの数は、再書き込み数が増えるに従って減り、セル読み出し電流でソース線に流れる電流による電圧降下量も再書き込み数が増えるに従って減る。このため本方法を用いれば、ソース線に流れる電流による電圧降下起因の“1”状態のしきい値を、より V_{ref} 以上にすることができるため、“1”状態のしきい値の広がり小さ

29

くすることができる。

【0168】本実施形態を64MbitのNAND型EEPROMで面積評価したところ、回路13による面積増加は1%以下、またデータ転送線スイッチ回路5、5'による面積増加も1%以下であり、大きな回路面積増加を伴わない。さらに、データストアとデータリコールにかかる時間はそれぞれ1μsより充分少なく、35μs程度あるプログラムパルス幅に比べて十分に小さい時間しかプログラム時間が増加しない。

【0169】なお、本実施形態の図6のダイナミックラッチ回路13は、データを入出力端子I/O1へ読み出す場合の一時記憶メモリとして用いることもできる。これは、読み出し操作を行った後、例えばΦs1にVbcパルスを加えることによりトランジスタQ14のゲート電極に、読み出しデータの反転データを貯える。このデータを入出力端子I/O1に読み出す場合は、データリコール操作を行えばよい。このラッチ回路1-3に読み出したデータを一時保管し、センスアンプ4では別のメモリセルユニットの読み出し操作を始めることができる。

【0170】これに対して従来例では、センスアンプ4に一時記憶メモリがないので、複数のセンスアンプが形成されている場合、全てのセンスアンプのデータを外部記憶に転送してからでないと、次の読み出し操作を開始することはできなかった。従って本実施形態では、従来よりも高速に読み出し操作を行うことができる。

【0171】(第2の実施形態)図9は、本発明の第2の実施形態に係わる不揮発性半導体メモリを示すブロック図であり、特にメモリセルマトリックス及びその周辺の主要部の回路構成を示している。

【0172】本実施形態は、第1の実施形態と比較し、データ転送線を4分割し、例えば4つのメモリセルユニットa11, a21, a31, a41について1つのプログラムパルスで同時書き込みを行う構造を示している。なお、図1と同一の部分には同一符号を付して、その詳しい説明は省略する。

【0173】図9において、BLa1, BLa2, BLa3, BLa4, BLb1, BLb2, BLb3, BLb4は、データ転送線を示している。また、例えば、符号6は書き込みを行うデータ選択線を示しており、符号6'は書き込みを行わないデータ選択線を示している。これらのデータ選択線6, 6'は、データ転送線と互いに直交する方向に配置されている。符号3は、不揮発性メモリセルからなるメモリセルユニットを示し、データ転送線とデータ選択線との交点に形成されており、メモリセルユニット3の制御入力データ選択線に、メモリセルユニット3のデータ入出力端子はデータ転送線に接続している。さらに、データ選択線には、データ転送線BLax (x=1, 2, 3, 4)とデータ転送線BLbx (x=1, 2, 3, 4)との両方にメモリセルユニットを接続している。

30

【0174】データ転送線BLa1及びBLb1の一端には、書き込みデータを一時保持するラッチ4, 4'をそれぞれ形成している。ラッチ4, 4'は通常メモリセルユニット3のデータを読み出すためのセンスアンプ回路を兼ねている。さらに、ラッチ4, 4'は、書き込み及び読み出しデータを外部回路と接続するデータ線10, 10'にそれぞれ接続している。ラッチ4, 4'は、データをラッチするためのタイミングを設定する信号線9に共に接続している。データ転送線BLa1及びBLb1のラッチ4, 4'が形成されていない一端には、第1のデータ転送線スイッチ5, 5'における入出力端子の一方をそれぞれ接続している。

【0175】第1のデータ転送線スイッチ5, 5'における入出力端子の他方は、データ転送線BLa2及びBLb2の一端とそれぞれ接続している。さらに、データ転送線BLa2及びBLb2の他の一端は、第2のデータ転送線スイッチ5, 5'における入出力端子の一方をそれぞれ接続している。第2のデータ転送線スイッチ5, 5'における入出力端子の他方は、データ転送線BLa3及びBLb3の一端とそれぞれ接続している。さらに、データ転送線BLa3及びBLb3の他の一端は、第3のデータ転送線スイッチ5, 5'における入出力端子の一方をそれぞれ接続している。第3のデータ転送線スイッチ5, 5'における入出力端子の他方は、データ転送線BLa4及びBLb4の一端とそれぞれ接続している。

【0176】また、第1のデータ転送線スイッチ5, 5'は、列方向に隣接したデータ転送線の接続を制御するための信号線8に共に接続している。同様に、第2及び第3のデータ転送線スイッチ5, 5'も、列方向に隣接したデータ転送線の接続を制御するための信号線8に共に接続している。これら信号線8は、データ選択線と同じ方向に配置されることが、配線層数を増やさずセル面積を縮小するのに望ましい。さらに、これら信号線8, 9及びデータ選択線6, 6'に適宜タイミング調整を行い信号出力するクロック発生回路11を設けている。

【0177】本実施形態では、データ転送線スイッチ5を遮断状態にすることにより、データ転送線BLa1, BLa2, BLa3, BLa4の電位を書き込みデータに従ってそれぞれ独立に与えることができる。よって、それぞれのデータ転送線に接続されたメモリセルユニットをデータ転送線分、例えば1つのプログラムパルスによって、4行のメモリセルユニットa11, a21, a31, a41に同時に書き込み動作を行うことができる。

【0178】図10に、図9の実施形態構造での複数の行、例えば4つの行についてデータ書き込みを行うタイミング図を示す。図10では、メモリセルユニットa11に“0”を書き込み、メモリセルユニットa21に

31

“1”を書き込み、メモリセルユニットa31に“0”を書き込み、メモリセルユニットa41に“1”を書き込む場合を示す。ここで、書き込みを行うメモリセルユニットは、既に、例えば浮遊ゲートの電荷を引き抜く方法によってデータ消去されているものとし、“0”状態になっているものとする。また、入出力端子I/O2についても図1と同様に、同様のタイミングで書き込みができることは明らかなので省略する。

【0179】まず、図10において、外部電流入出力端子I/O1に、メモリセルユニットa41の書き込みデータ“1”に相当する電圧GNDを与える。また、図10では、説明した書き込みデータ状態を実線で、説明と反転した書き込みデータ状態を破線で示している。続いて、データ転送線スイッチの制御入力Φ14、Φ15、Φ16をVbcにし、データ転送線BLa1、BLa2、BLa3、BLa4を導通状態にする。その後、Φ5の電圧をGNDからVccにし、Φ10をGNDからVccにし入出力端子I/O1のデータをデータ転送線BLa1に出力する。

【0180】本実施形態では、回路素子が少なく面積を小さくできるため、信号線9の電圧をoff状態、つまりGNDとにした場合にデータをラッチし、Vccとした場合にデータ入出力線10の電圧がそのままデータ転送線に伝わる場合を示した。書き込みデータラッチ4には、信号線9の立ち下がりがエッジでデータをラッチする回路、例えばエッジトリガ型データラッチ回路を用いても良く、入出力端子I/O1が変化してもデータ転送線の電圧を書き込みデータの電圧に安定させるのに望ましい。この時、データ転送線スイッチは全てon状態になっているので、データ転送線BLa2、BLa3、BLa4はBLa1と同電位となる。

【0181】次に、データ転送線BLa4が、書き込み時の所定電位Vcc又はGNDに充放電されるのを待った後、Φ16の電位をGNDとし、第3のデータ転送線スイッチ5を遮断状態にする。この遮断状態とするタイミングは、データ転送線BLa3にデータ転送線BLa4と異なるデータ電圧を伝達する制御信号9のタイミングよりも先立って行われるようにする。これにより、データ転送線BLa4は電氣的に浮遊状態となるので、データ転送線スイッチ5を遮断状態にする前に設定した電圧が保持される。

【0182】次に、外部電流入出力端子I/O1に、メモリセルユニットa31の書き込みデータ“0”に相当する電圧Vccを与える。続いて、Φ5の電圧を上昇させ、入出力端子I/O1のデータ電圧を、データ転送線BLa1、BLa2及びBLa3に伝達する。次に、データ転送線BLa3が、書き込み時の所定電位Vcc又はGNDに充放電されるのを待った後、Φ15の電位をGNDとし、第2のデータ転送線スイッチ5を遮断状態にする。この遮断状態とするタイミングは、データ転送

32

線BLa2にBLa3と異なるデータ電圧を伝達する制御信号9のタイミングよりも先立って行われるようにする。これにより、データ転送線BLa3は浮遊状態となるので、データ転送線スイッチ5を遮断状態にする前に設定した電圧が保持される。

【0183】次に、外部電流入出力端子I/O1に、メモリセルユニットa21の書き込みデータ“1”に相当する電圧GNDを与える。続いて、Φ5の電圧を上昇させ、入出力端子I/O1のデータ電圧を、データ転送線BLa1及びBLa2に伝達する。次に、データ転送線BLa2が、書き込み時の所定電位Vcc又はGNDに充放電されるのを待った後、Φ14の電位をGNDとし、第1のデータ転送線スイッチ5を遮断状態にする。この遮断状態とするタイミングは、データ転送線BLa1にデータ転送線BLa2と異なるデータ電圧を伝達する制御信号9のタイミングよりも先立って行われるようにする。これにより、データ転送線BLa2は電氣的に浮遊状態となるので、データ転送線スイッチ5を遮断状態にする前に設定した電圧が保持される。

【0184】次に、外部電流入出力端子I/O1に、メモリセルユニットa11の書き込みデータ“0”に相当する電圧Vccを与える。続いて、Φ5の電圧を上昇させ、入出力端子I/O1のデータ電圧をデータ転送線BLa1に伝達する。これまでのシーケンスによって、データ転送線BLa1、BLa2、BLa3、BLa4はそれぞれ、書き込み電圧に相当する電圧に設定される。

【0185】次に、データ転送線BLa1が、例えば1nsから1μsの間の時間、書き込み時の所定電位に充放電されるのを待った後、データを書き込むメモリセルユニット3に接続されたデータ制御線6の電位を、プログラム電圧Vpgmになるように電圧パルスを与える。この時、他の書き込みを行わないデータ制御線6'の電位をVpassになるようにする。

【0186】データ書き込みパルス印加が終了した後、Φ14、Φ15、Φ16の同位をVccとし、データ転送線スイッチ5を導通状態にする。これは、引き続き読み出し動作が行われる場合、メモリセルユニット3のデータを高速で読み出すことを可能とするためである。

【0187】以上のシーケンスにより、1つのセンスアンプに接続された複数のメモリセルユニットについて、1つのプログラムパルスによって4つの行にデータを書き込むことができる。本実施形態では、4つのメモリサブブロックに対して書き込みが同時に行えるので、第1の実施形態に比べ、さらに全プログラム時間を短くすることができる。また、本実施形態で、プログラムパルスを2倍にすると、1メモリセル当たりの書き込み電流を1/2にし、全プログラム時間も最大1/2に削減でき、メモリセルの書き込み電流削減と全プログラム時間削減の両方を実現することができる。

【0188】(第3の実施形態) 図18に本発明の第3

33

の実施形態における構造を示す。本実施形態は、一つのデータ転送線に接続された複数のメモリセルユニットのユニット選択トランジスタを、第1の実施形態のデータ転送スイッチとし、同一データ転送線に接続された異なるメモリセルユニットに1つのプログラムパルスで同時書き込みを行う構造を示している。このとき各メモリセルユニットに、データとなる電荷の蓄積を担わせる。なお、図1と同一の部分には、同一符号をつけて詳しい説明は省略する。

【0189】図18は本発明の第3の実施形態にかかる不揮発性メモリの回路ブロック図である。図18に示す不揮発性メモリは、図1において、データ転送線間のスイッチング素子を取り除いた構造となっている。

【0190】さらに、それぞれのメモリセルユニット3は、選択トランジスタの制御線SL1をそれぞれ接続している。この制御線SL1は、制御線7、7'に共に接続している。これら制御線7、7'は、データ選択線10、10'と同じ方向に配置することが、配線層数を増やさずセル面積を縮小するのに望ましい。

【0191】さらに、制御線7、7'およびデータ選択線6、6'に適宜タイミング調整を行い信号出力するクロック発生回路11を形成している。ここで例えば、制御線7'は、書き込み時に選択されないメモリセルユニット3の制御線SL1を、制御線7は書き込み時に選択されるメモリセルユニット3の制御線SL1を示している。本実施例では、プログラムパルス印加時に、メモリセルユニット3の選択トランジスタを遮断状態にすることにより、メモリセルユニット3内にあらかじめ書き込まれた電位をそのセルユニット3の容量によって、浮遊状態で保持し、それぞれのユニットで独立に与えることができる。よって、それぞれのデータ転送線に接続したメモリセルユニットをデータ転送線分、例えば、1つのプログラムパルスによって、2行のメモリセルユニットa11、a21、b11、b21に同時に書きこみ動作を行うことができる。

【0192】図19は、図18に示す構造での複数の行、例えば、4つの行についてデータ書き込みを行うタイミング図を示す。ここで、図2と同じタイミングについては、省略する。

【0193】図19では、メモリセルユニットa21に“0”を書き込み、メモリセルユニットb21に“1”を書き込み、メモリセルユニットa11に“1”を書き込み、メモリセルユニットb11に“0”を書き込む場合を示す。まず、外部電流出力端子I/O1およびI/O2に、それぞれ、メモリセルユニットa21およびメモリセルユニットb21の書き込みデータに相当する電圧、つまり、それぞれ、Vccと0Vとを与える。ここでは、“0”データに相当する電圧としてVcc、“1”データに相当する電圧として0Vとしている。

【0194】また、図19では、書き込みデータ状態を

34

実線で、反転した書き込みデータ状態を破線で示している。

【0195】回路素子が少なく面積を小さくできるため、信号線9の電圧をoff状態、つまり0Vとした場合に、データをラッチし、Vccとした場合に、データ入出力線10の電圧がそのままデータ転送線1に伝わる例を示した。回路4、4'には、信号線9の立ち下がりエッジでデータをラッチする回路、例えばエッジトリガ型データラッチ回路を用いても良く、入出力端子I/O1及びI/O2が変化してもデータ転送線の電圧を書き込みデータの電圧に安定させるのに望ましい。

【0196】また、Φ21の電位をVccとし、メモリセルユニットa21およびメモリセルユニットb21に含まれる選択ゲートを導通状態にした後、Φ5の電圧を上昇させ、入出力端子I/O1およびI/O2のデータをデータ転送線BLa1およびBLb1に出力する。この後Φ5を下降させることでラッチする。この時、データ転送線スイッチはon状態になっているので、メモリセルユニットa21およびメモリセルユニットb21のチャネル電位はそれぞれ、データ転送線BLa1およびBLb1と同電位となる。

【0197】次に、データ転送線BLa1およびBLb1が、書き込み時の所定電位VccまたはGNDに充放電されるのを待った後、Φ21の電位を0Vとし、メモリセルユニットa21およびb21に含まれる選択ゲートを遮断状態にする。この遮断状態とするタイミング(t1)は、データ転送線BLa1に異なるデータ電圧を伝達する制御信号9のタイミング(t2)よりも先立って行われるようにする。ここで、メモリセルユニットa21およびb21のトランジスタのチャネル電位は浮遊状態となるので、メモリセルユニットa21およびb21に含まれる選択ゲートを遮断状態にする前に設定した電圧を保持する。

【0198】次に、Φ20の電位をVccとし、メモリセルユニットa11およびb11に含まれる選択ゲートを導通状態にする。さらに、外部電流出力端子I/O1およびI/O2に、それぞれ、メモリセルユニットa11およびb11の“1”、“0”の書き込みデータに相当する電圧、0VとVccとを与える。

【0199】次に、Φ5の電圧を上昇させ、外部電流出力端子I/O1およびI/O2のデータ電圧を、データ転送線BLa1およびBLb1に伝達する。これまでのシーケンスによって、メモリセルユニットa21、b21、a11、b11のチャネル電位にそれぞれ、書き込み電圧に相当する電圧に設定される。

【0200】これまでのシーケンスで、Φ22の電位を常に0Vとし、非選択ユニット、例えば、メモリセルユニットa12、b12、a22、b22に含まれる選択ゲートを遮断状態とし誤書き込みを防ぐ。

【0201】この後のデータ書き込みパルスを印加するシ

35

一ケンス以降は、第1の実施形態と同一なので省略する。

【0202】本実施形態では、第1の実施形態の特徴に加え、選択スイッチ回路5、5'を必要とせず、第1の実施形態よりも回路面積を小さく保つことができる。また、第1の実施例や第2の実施例のように、書き込み時に必ずしもセンスアンプから最も遠いメモリサブブロックからデータを転送する必要がなく、メモリサブブロックに対して任意の順番でデータを転送することができる。よって、書き込みデータのメモリサブブロック間の順序入れ替え回路や手順が必要なく、より高速で書き込みシーケンスを行うことができる。

【0203】なお、本発明は上述した各実施形態に限定されるものではない。第1の実施形態で示したダイナミックデータ保持回路13としては、例えば図11で示すような回路を用いることができる。図11(a)は、図6の回路13のトランジスタQ12とトランジスタQ14との接続順序を変えたものである。図6の回路13は、トランジスタQ14を介しているため、 Φ_{r1} のスイッチングノイズがIn v1やBL a1に伝わりにくく、フリップフロップの誤反転を防ぐことができる。一方、図11(a)では、トランジスタQ14のソース電極が接地されているので、トランジスタQ14のゲート電極に貯えられた電荷が減少する。また、In v1の出力電圧が減少しても確実にトランジスタQ14をオン状態にし、In v1の入力をGNDにすることができる。

【0204】また、図11(b)はトランジスタQ15、Q14、Q12を直列接続することにより、In v1の入力に Φ_{r1} や Φ_{s1} のスイッチングノイズを伝わりにくくすることができる。さらに、図11(c)は、図11(a)のn型MOSFET構成をp型MOSFETで構成した例である。この場合、トランジスタQ13のゲート入力としては Φ_{s1} の反転信号である $\neg\Phi_{s1}$ を、トランジスタQ12のゲート入力としては Φ_{r1} の反転信号である $\neg\Phi_{r1}$ を与える。また、図11(d)は、図11(c)においてトランジスタQ12とトランジスタQ14との直列関係を入れ替えたものである。

【0205】これら図11(c)(d)はそれぞれ、図11(a)及び図6の回路13で説明した特徴の他に、トランジスタQ13のゲート電極を0Vとすることで、In v1入力をVccまで上昇させることができる。よって、より低電圧電源下で動作させることができる。

【0206】また、スイッチ素子として主にn型MISFETを用いたが、これらは、ゲート入力を反転すれば、p型n型を入れ替えてもよい。また、n型MISFETでなく、例えばnpnバイポーラトランジスタでもよいし、pnpバイポーラトランジスタでもよい。バイポーラトランジスタを用いた場合には、ドレイン電極の代わりにコレクタ電極、ソース電極の代わりにエミッタ電極、ゲート電極の代わりにベース電極を用い、on状

36

態にするのに、例えばベースエミッタ電極間にnpnトランジスタで正にpn接合の順方向電圧、例えばSiでは0.6V以上、pnpトランジスタで負に順方向電圧以上印加し、off状態にするにはベース電極を0Vとすればよい。

【0207】本実施形態では、EEPROMからなる不揮発性半導体素子を例に挙げたが、本発明の構成は複数のデータ選択線と複数のデータ転送線からなるメモリマトリックスで、読み出し速度に対してプログラム速度が遅い記憶素子に対して有効であることは明らかである。例えば、分極反転に時間がかかる強誘電体メモリや磁区反転に時間がかかる強磁性体メモリについても、本発明が適用できることは言うまでもない。

【0208】その他、本発明の要旨を逸脱しない範囲で、様々に変形して実施することができる。

【0209】

【発明の効果】以上詳述したように本発明によれば、複数の行にデータを書き込む場合に、1セル当たりの書き込み時間を変化させないで、データ書き込み時間を最大、 $1/(\text{データ転送線の分割数})$ に減少させることができる。よって、より高速にデータ書き込みを行うことができ、プログラムパルスを形成するための消費電力を減少させることができる。

【0210】また、行の分割数を増やすことにより全データ書き込み時間を短縮し、1セル当たりの書き込み時間を延ばすことも可能である。これにより、同じ電荷量を書き込むためのデータ書き込み電流を減少させることができ、ストレスリークによるデバイスの劣化、消費電力の増加、及びデータ保持特性の悪化を防ぐことができる。

【0211】また、ストレスリークを減少させることができるので、メモリセルのトンネル絶縁膜をより薄膜化することができ、書き込み時のプログラム電圧も減少させることができる。よって、プログラム電圧を発生させる昇圧回路の面積を縮小でき、かつ耐圧の小さな面積の小さいトランジスタを用いることができるため、よりチップ面積を縮小することができる。さらに、プログラム電圧低下に伴い、より消費電力も減少させることができる。

【0212】また、データ転送線スイッチの代りに分割した各データ転送線に対してセンスアンプを形成した場合と比較して、トランジスタ数を減少させることができ、回路面積を減少させることができる。さらに、データ転送線スイッチは、電源線を配線する必要がない構成を用いることができ、メモリマトリックス領域に電源配線のための配線層やコンタクトを必要とせず、従来例と同じ配線層構成で回路を形成することができる。さらに、書き込みデータを一時保持する回路を各センスアンプに複数形成しているため、書き込み時に外部データバッファからセンスアンプにデータを随時送る場合と比較

37

して高速であり、配線も短いので消費電力を減らすことができる。

【図面の簡単な説明】

【図1】第1の実施形態に係わる不揮発性半導体メモリの回路構成を示すブロック図。

【図2】第1の実施形態構造で2つの行についてデータ書き込みを行う場合のタイミング図。

【図3】第1の実施形態に用いたメモリセルユニットの具体例を示す回路構成図。

【図4】第1の実施形態に用いたデータ転送線スイッチの具体例を示す回路構成図。

【図5】図1のデータ転送線スイッチを挟んだメモリセルユニットの上面レイアウト側を示す図。

【図6】第1の実施形態に用いた書き込みデータラッチの具体例を示す回路構成図。

【図7】図1の実施形態構造で2つの行についてベリファイ読み出し動作を含めたプログラム動作を説明するためのフローチャート。

【図8】図1の実施形態構造で2つの行についてベリファイ読み出し動作を含めたプログラム動作の別の例を説明するためのフローチャート。

【図9】第2の実施形態に係わる不揮発性半導体メモリの回路構成を示すブロック図。

【図10】第2の実施形態構造で4つの行についてデータ書き込みを行う場合のタイミング図。

【図11】本発明の変形例を説明するためのもので、ダイナミックデータ保持回路の別の例を示す回路構成図。

【図12】従来の不揮発性半導体メモリの回路構成を示すブロック図。

【図13】図12の従来構造で2つの行についてベリフ*30

38

*アイ動作を含めたデータ書き込み動作を説明するためのフローチャート。

【図14】本発明の変形例を説明するためのもので、不揮発性半導体メモリの上面図。

【図15】本発明の変形例を説明するためのもので図15(a)は図14のB-B'で切り取った断面図、図15(b)は図14のA-A'で切り取った断面図。

【図16】本発明の変形例を示すもので図16(b)、図16(c)は図15(a)、図15(b)に対応するNANDメモリセルユニットのB-B'及びA-A'に対応する断面図、図16(a)はB-B'同一方向に沿ったデータ転送線27(SL1)の断面図。

【図17】本発明の変形例を示すもので図17(a)は、不揮発性半導体メモリの上面図、図17(b)は図17(a)におけるB-B'の断面図、図17(c)は図17(a)におけるC-C'の断面図。

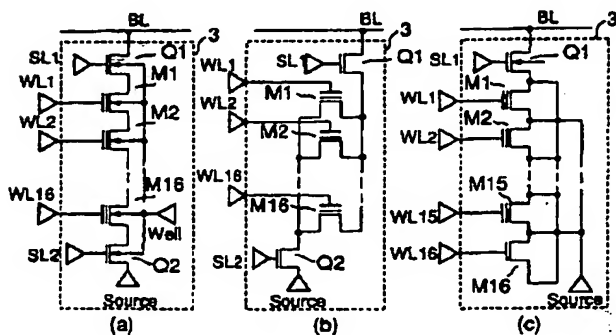
【図18】第3の実施形態に係わる不揮発性半導体メモリの回路構成を示すブロック図。

【図19】第3の実施形態構造で2つの行についてデータ書き込みを行う場合のタイミング図。

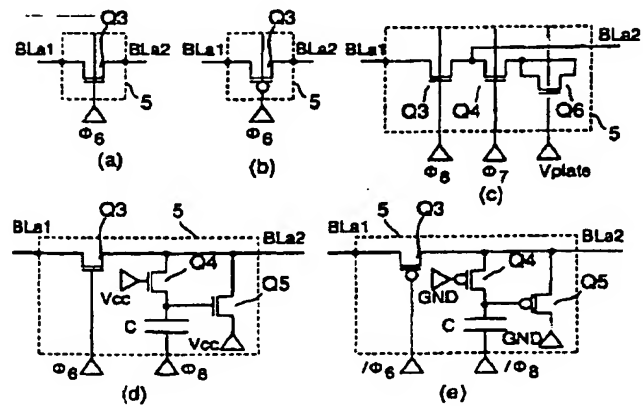
【符号の説明】

- 1, 1', 2, 2'...データ転送線
- 3...メモリセルユニット
- 4...センスアンプ及び書き込みデータラッチ
- 5, 5'...データ転送線スイッチ
- 6, 6'...データ選択線
- 8, 9...信号線
- 10...データ入出力線
- 11...クロック発生回路
- 13, 13'...ダイナミックラッチ回路

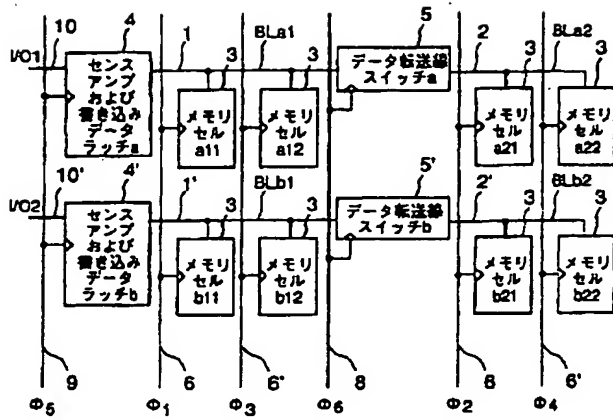
【図3】



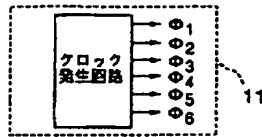
【図4】



【図1】

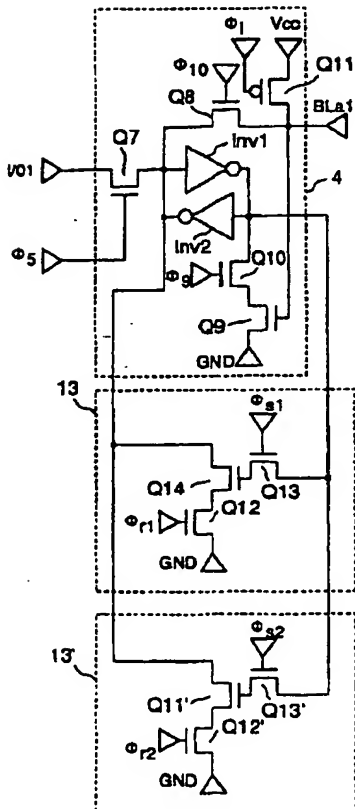


(a)

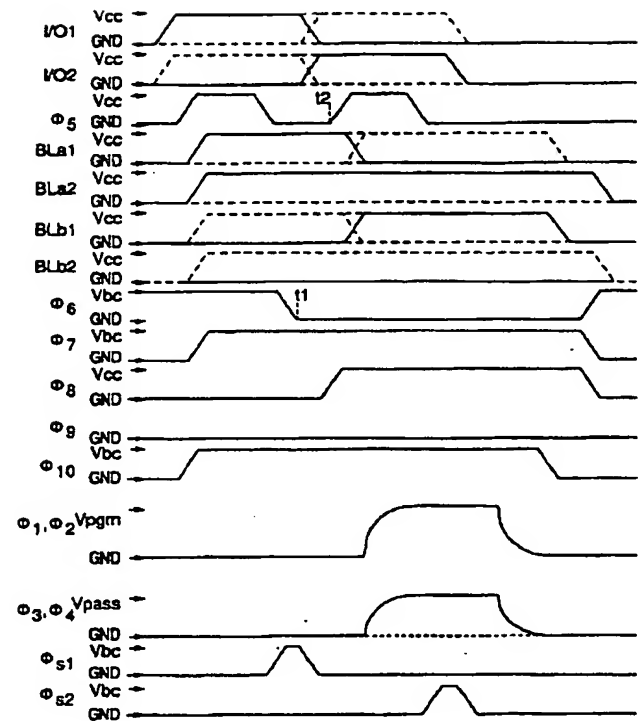


(b)

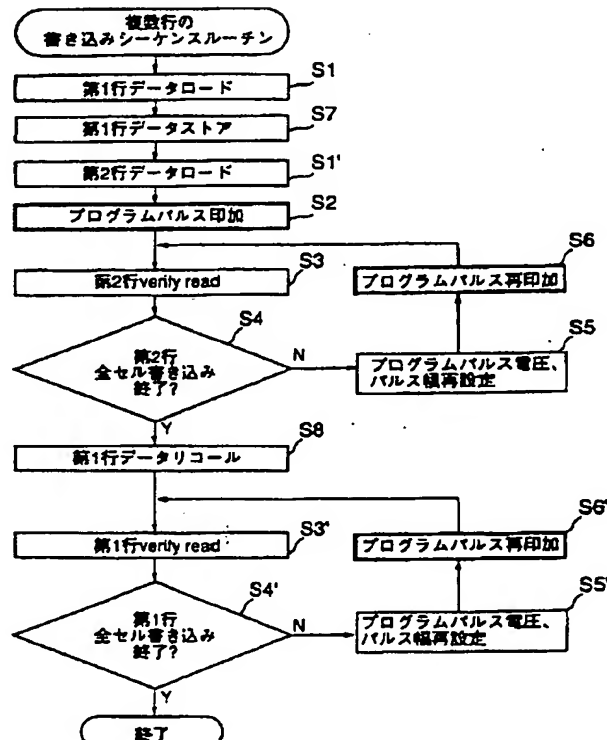
【図6】



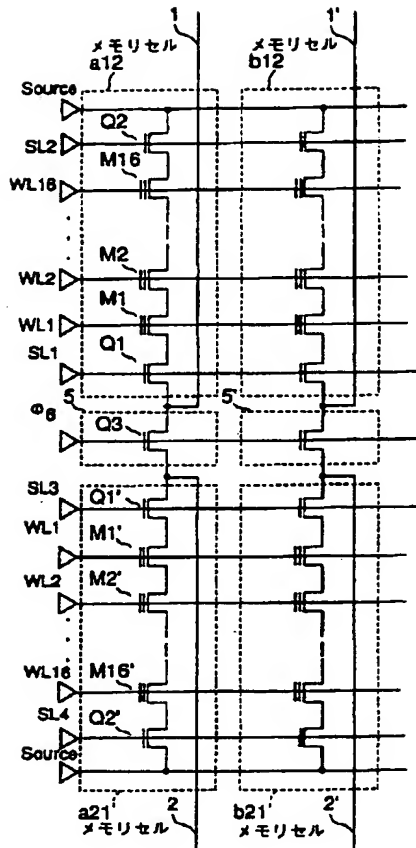
【図2】



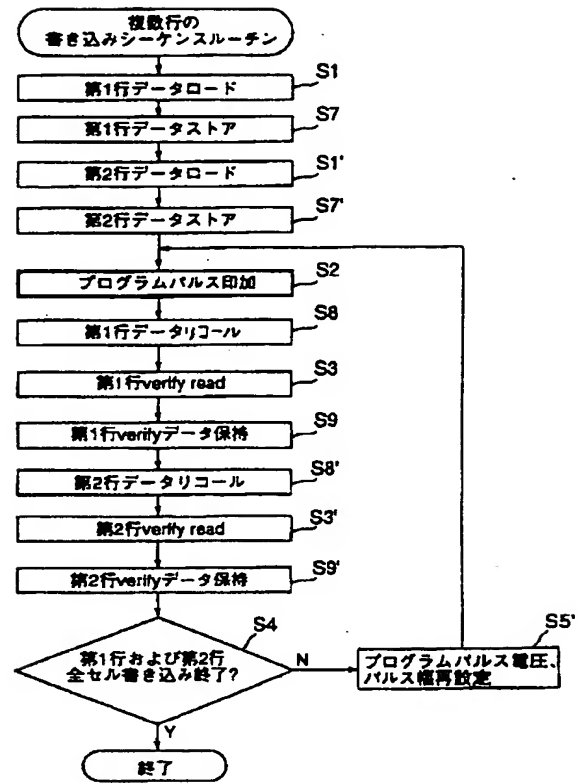
【図7】



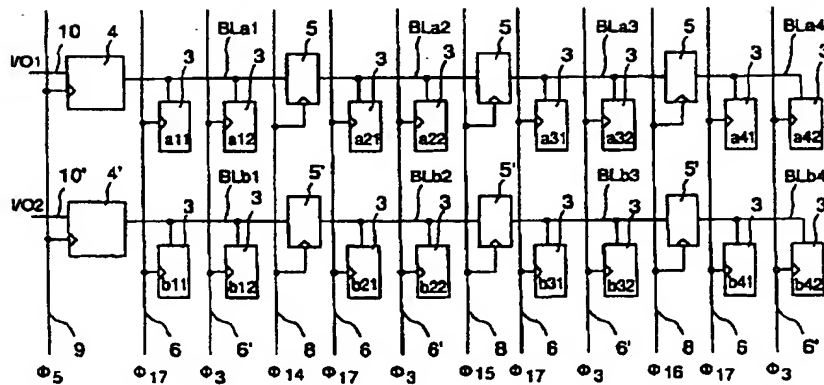
【図5】



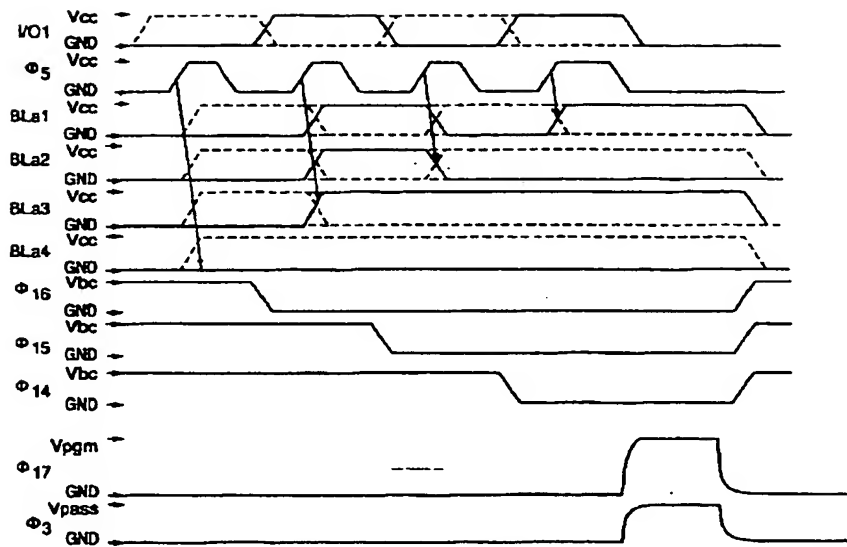
【図8】



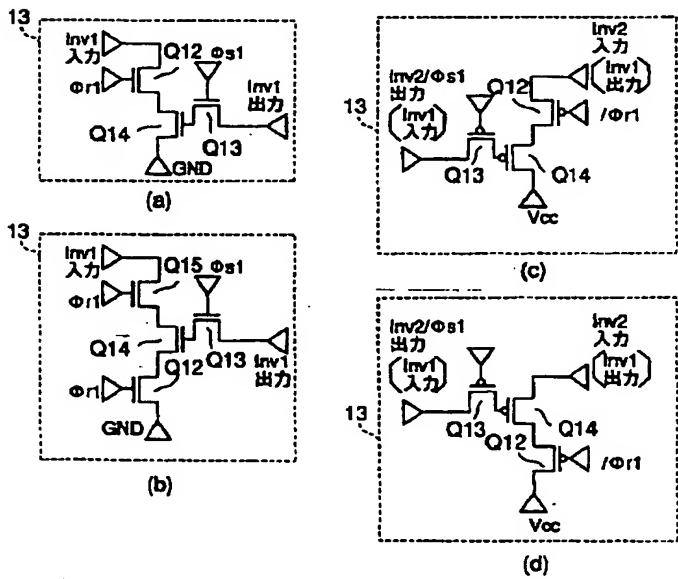
【図9】



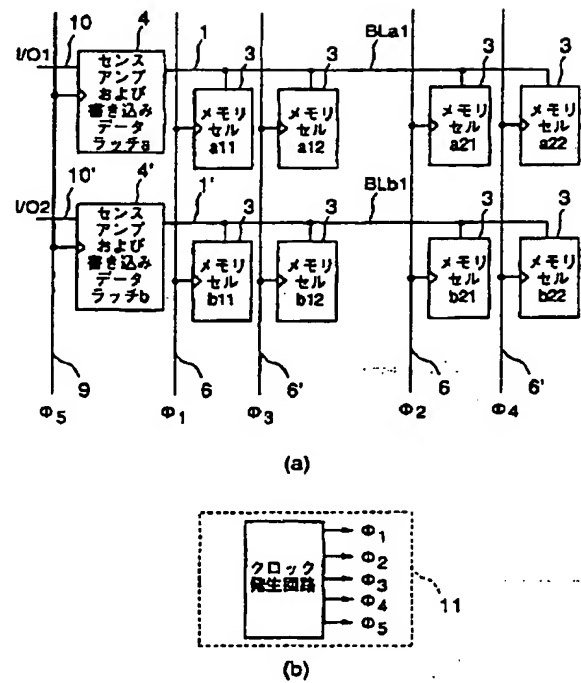
【図10】



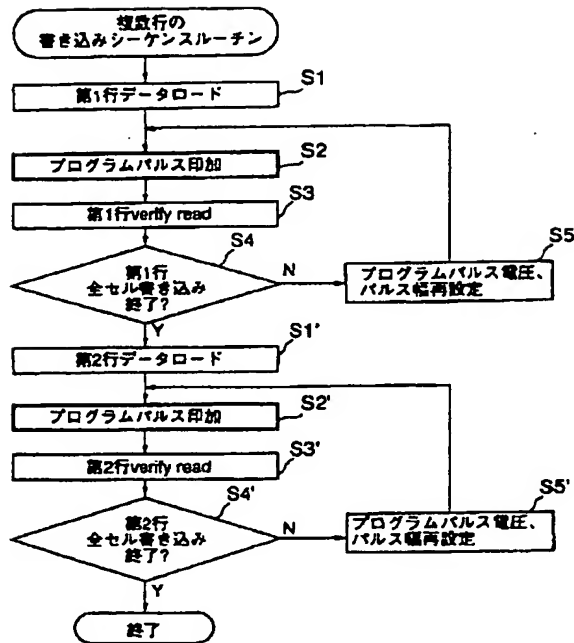
【図11】



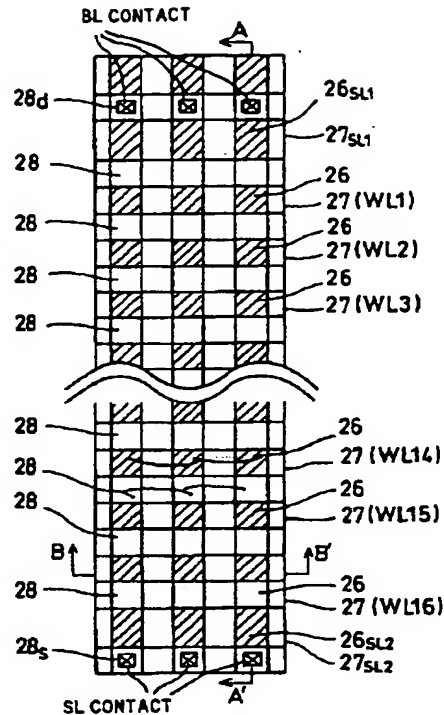
【図12】



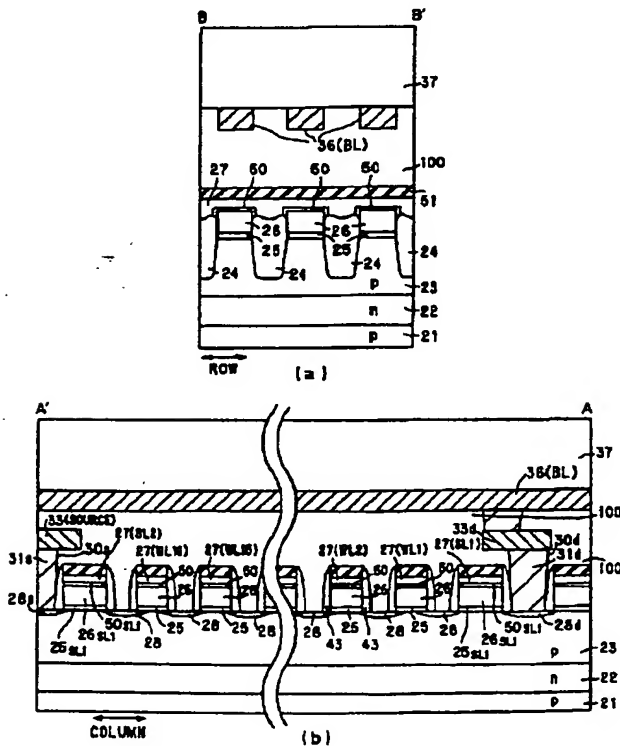
【図13】



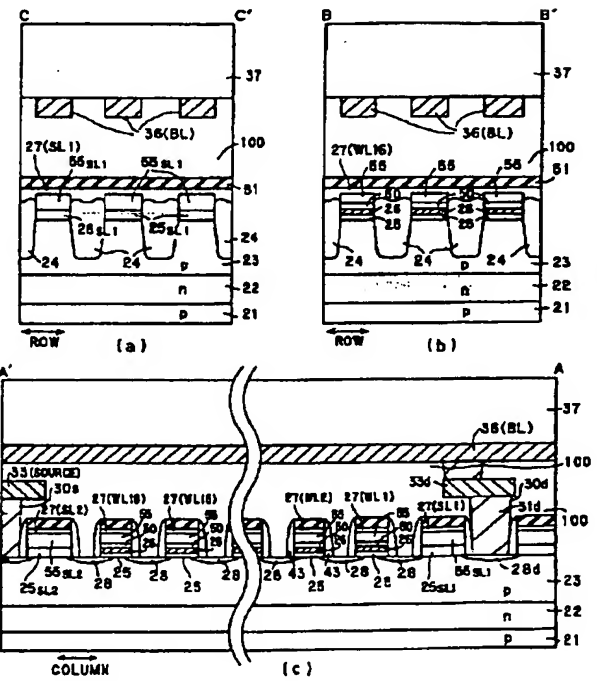
【図14】



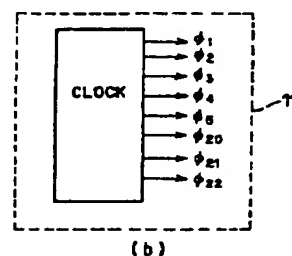
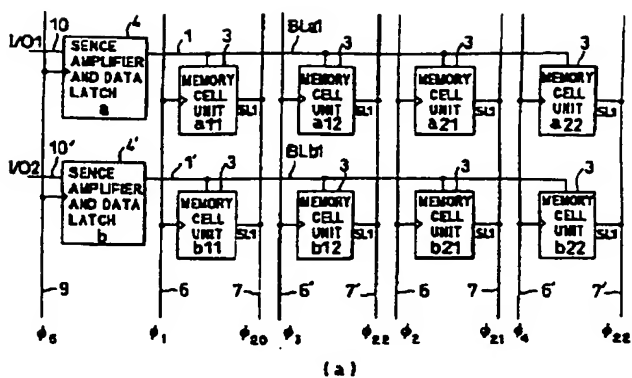
【図15】



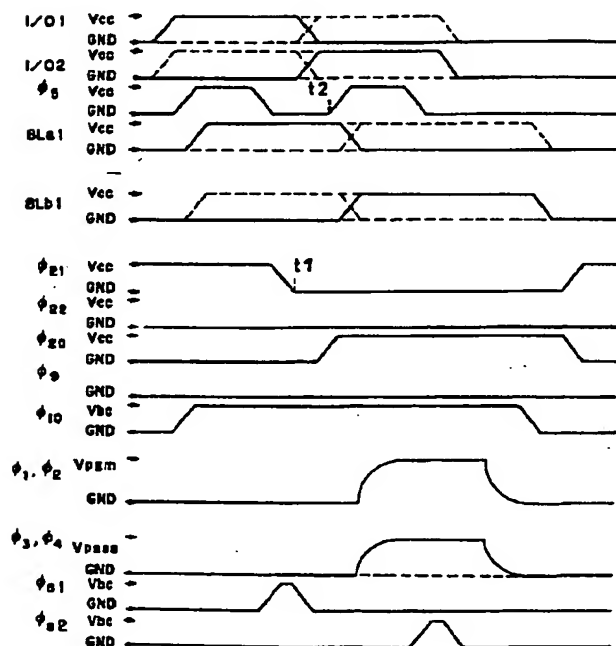
【図16】



【圖 18】



【図 19】



フロントページの続き

(51)Int. Cl.⁷

H01L 29/792

識別記号

F I

テーマコード(参考)